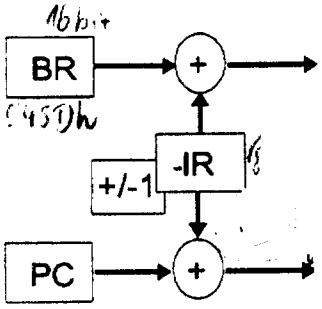
1705 NK 98

Aufgabe 1

Betrachten Sie folgenden Auszug aus dem Speicher eines 8bit-µProzessors.




```
5450 1B BF  61 54
5454 2B 5C  54 E3
5458 E2 3B  54 54
545C E6 50  54 59
5460 54 5B  60 54
```

Der Prozessor besitze ein 16bit-Basisregister BR, sowie ein 8bit-Indexregister IR. Der Index wird in konegativer 2er-Komplement-Schreibweise dargestellt Das Indexregister besitzt die Möglichkeit der automatischen Modifikation (autoinkrement, autodekrement) um jeweils 1.

a) Auf den Speicher soll mit Hilfe eines Lesebefehls zugegriffen werden. Die Adressierung soll **indirekt** mit Indizierung erfolgen. Das niederwertigere Byte der Adresse steht an der niedriegeren Speicherstelle.Geben Sie jeweils an, an welcher Stelle der Zeiger (EA der indirekten Adresse) auf die entsprechende Speicherstelle EA steht und welches Byte B gelesen wird. Der aktuelle Inhalt von BR sei 545Dh. Verwenden Sie das Lösungsblatt (7.5 Punkte).

b) Der Prozessor besitzt einen absoluten Sprungbefehl von der Form `BRA IR+<16bit addr>`. Dieser Befehl wird als `BF ll hh` codiert. Da bei wird zu der angegebenen 16bit-Adresse (`ll` Low-Byte `hh` High-Byte) das Indexregister hinzuaddiert. Der Programmzähler PC besitze den Wert PC:5451h. Das Indexregister besitze den Wert IR:FBh Auf welche Adresse wird gesprungen? (2.5 Punkte).

Aufgabe 2

Zwei Zahlen seien im 32-bit-Format des IEEE-754 Standars in hexadezimaler Darstellung gegeben: **Z1=4.75, Z2=-2.5**
(Lösungsblätter verwenden !)

a) Geben Sie Charakteristik C, Exponent E und Mantisse M in hexadezimaler, binärer und dezimaler Form an (3 Punkte).

b) Tragen Sie diese Zahlen im Lösungsbogen in binärer Form ein kennzeichnen Sie die unterscheidbaren Bitfelder sowei die Lage des Punktes (Kommas) (3 Punkte).

c) Es soll die Summe S der Zahlen Z1 und Z2 gebildet werden. Wie erfolgt die Angleichung des Exponenten von Z2 ? Geben Sie die Mantisse von Z2 vor der Ausführung der Addition an. Bilden Sie das 2er-Komplent der Mantisse von Z2 und führen Sie die Addtion durch. Tragen Sie die Summe in den Lösungsbogen ein (4Punkte).

Aufgabe 3

Ein System enthalte einen 128-byte-Cache, der als 4-way-set-associative-Cache organisiert ist. Im Cache wird zur Adreßbestimmung das Verfahren des Set-Associative-Mapping eingesetzt. Der Cache enthält 4 Sätze (sets) mit jeweils vier Einträgen (lines). Jeder Eintrag enthält n Bytes. Die physikalische Adreßbreite ist 32 Bit und die kleinste adressierbare Einheit ist ein Byte.

(Lösungsblätter verwenden !)

a) Bestimmen Sie die Anzahl n der Bytes pro Eintrag
(1 Punkt)

b) Zeichnen Sie ein Strukturbild, das die Architektur und die Organisation des Caches wiedergibt und verdeutlicht, wie die physikalische Adresse bei der Adreßauswertung im Code berücksichtigt wird.
(4 Punkte)

c) Welche Einträge des Sets werden bei einem Lesezugriff mit der Adresse 00010AFh angesprochen ?
(2.5 Punkte)

d) Wenn die Adressen 000010AFh und FFFF7Axy den gleichen Cache-Eintrag adressieren, welche Werte können dann die Adreßbitfelder x und y annehmen ?
(2.5 Punkte)

Aufgabe 4
Mit Hilfe der programmierten Ein-/Ausgabe soll eine CPU vier Perpheriegeräte (PG0 bis PG4) steuern An der CPU und an den Pereipheriegeräten stehen folgenden Signale zur Verfügung (siehe auch den Lösungsbogen der Aufgabe):
(Lösungsblätter verwenden !)

CPU:

D7-D0	Datenbus, bidirektional
A1,A0	Untere Adreßbits zur Auswahl eines der vier Peripheriegeräte
#SEL	Selektionssignal, das low wird, sobald eines der vier Peripheriegeräte angesprochen wird
#ACK	Eingang für ein Acknowledge-Signal, das die Bestätigung des einwandfreien Datenempfangs durch das angesprochene Gerät entgegennimmt

Peripheriegeräte:

D7-D0	Datenbus, biderektional
#CS	Eingangssignal, welches das Gerät durch ein Low-Signalpegel aktiviert
#ACK	Acknowledge-Signal, das für 1µs low wird, sobald ein Byte einwandfrei empfangen wurde

Dabei kann davon ausgegangen werden, daß nur der Datenbus und das Acknowledge-Signal eines selektierten Geräts aktiv geschaltet sind. Ansonsten werden diese Signale hochohmig geschaltet.

a) Geben Sie ein möglichst einfaches Schaltbild für die Verdrahtung der fünf Komponenten an. Verwenden Sie gegebenenfalls weitere Logikfunktionseinheiten.
(5 Punkte)

b) Geben Sie ein Flußdiagramm für einen Algorithmus an, der den Ablauf der programmierten Ausgabe für eine byteweise Übertragung von der CPU zu den Peripheriegeräten für die obige Gerätekonfiguration beschreibt. Dabei soll zyklisch mit dem ersten Perepheriegerät beginnend, an jedes Gerät ein Byte übertragen werden und durch ein Acknowledge-Signal bestätigt werden. Das Acknowledge-Signal wird durch einen Timeout-Mechanismus überwacht. Wird die für das Timeout eingestellte Zeit überschritten, wird das Programm beendet. Die Timeout-Routine kann als gegeben vorausgesetzt werden. Wenn nach Ablauf eines kompletten Zyklus keine Datenbytes mehr auszugeben sind, wird die Datenübertragung beendet.
(5 Punkte)

Aufgabe 5
Ein 4bit-Digital/Analog-Wandler mit vier Kanälen wird über eine serielle Schnittstelle angesteuert. Die erzeugten Ausgangsspannung liegen zwischen 0 <= Ue < 1.6 V **(Lösungsblatt verwenden)**.

1. Berechnen Sie den Ausgangswert für das LSB.
   (Lösungsblatt verwenden) (2 Punkte)

2. Die Daten werden jeweils in Folgen mit 7 Bits (B6-B0) seriell übertragen. Die Bits B6 bis B3 kennzeichen den auszugebenen Wert des Digitalwandlers. Die Bits B2 und B1 kennzeichen den Kanal auf dem der Wert ausgegeben werden soll und auf Bit B0 wird die ungerade Parität übertragen. Schlüsseln Sie die folgenden Werte auf, die der D/A-Wandler empfangen hat und überprüfen Sie die Parität. Kennzeichnen Sie die fehlerhaften Werte.
   (Lösungsblatt verwenden) (5 Punkte)

3. Die Wandlungszeit für einen Wert beträgt 3ms. Die Schnittstelle kann mit dem auf dem Lösungsblatt angegebenen Baudraten betrieben werden. Tragen Sie in die Tabelle ein, wieviel Kanäle so maximal stetig mit neuen Werten versorgt werden können.
   (Lösungsblatt verwenden)(3 Punkte)