Fachbereich Informatik

Praktikum und Werkstatt Technische Informatik (PWTI)

Lösungsvorschläge zu den Aufgaben

der Hauptklausur im SS 2001

(am 04. August 2001)

Kurs 1707 "Technische Informatik I"

Zu Aufgabe 1:

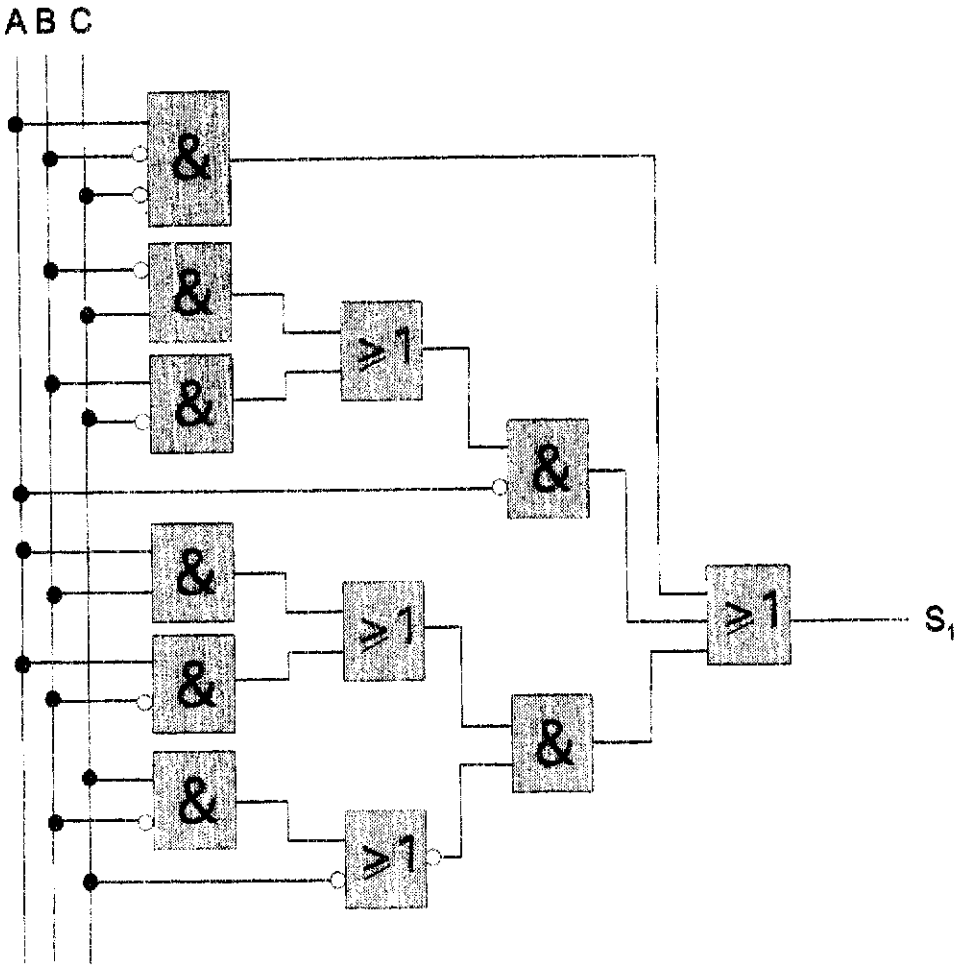
Gegeben sei die Schaltfunktion S mit

$$S = (\bar{A} \vee B \vee C)(A \vee (\bar{B} \vee C)(B \vee \bar{C})) \wedge \left\{ ((\bar{A} \vee \bar{B})(\bar{A} \vee B)) \vee \overline{((B \vee \bar{C})C)} \right\}$$

i) Bestimmen Sie die Schaltfunktion $S_1 = \bar{S}$ durch Anwendung des Shannon'schen Inversionssatzes auf die Schaltfunktion S (ohne weitere Vereinfachungen).

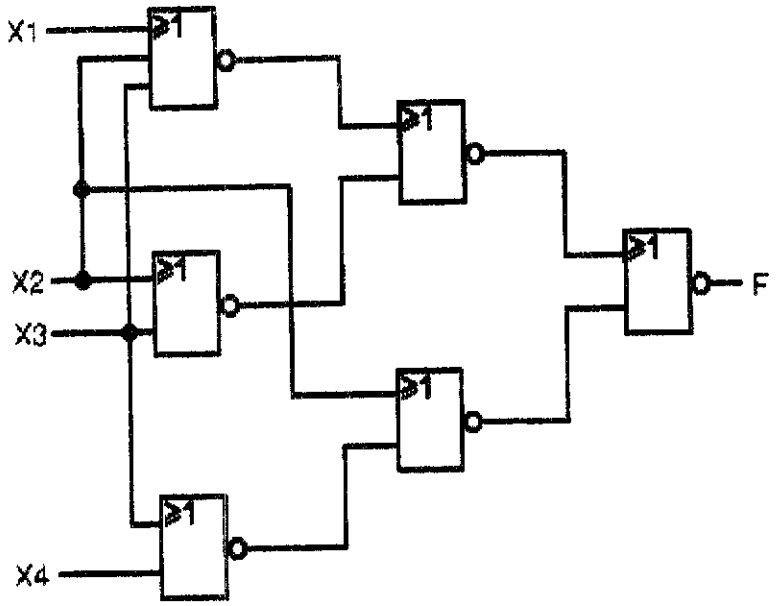
$$S_1 = A\bar{B}\,\bar{C} \vee \bar{A}(B\bar{C} \vee \bar{B}C) \vee \left\{ (AB \vee A\bar{B})\overline{(\bar{B}C) \vee \bar{C}} \right\}$$

ii) Zeichnen Sie das zugehörige Schaltnetz zu der Schaltfunktion S_1 - ohne dabei Vereinfachungen der Funktion vorzunehmen. (Inversionen können durch einen Punkt am Gatterein- oder Ausgang dargestellt werden.)



Zu Aufgabe 2:

Gegeben sei folgendes Schaltnetz:



iii) Bestimmen Sie zu dem o.a. Schaltnetz die zugehörige Schaltfunktion F (ohne Anwendung von Umwandlungsregeln). Welche Technik liegt hier vor ?

$$F = \overline{\overline{\overline{\overline{X1 \vee X2 \vee X3} \vee \overline{X2 \vee X3}} \vee \overline{X2 \vee X3 \vee X4}}}$$

F ist in NOR-Technik realisiert.

iv) Wandeln Sie die Schaltfunktion F algebraisch in eine kanonische DNF (KDNF) um. (Lösungen mit Wahrheitstabelle werden nicht anerkannt). Geben Sie Zwischenschritte an und benennen Sie die in ihnen benutzten Regeln und Formeln.

$$F = \overline{\overline{\overline{\overline{X1 \vee X2 \vee X3} \vee \overline{X2 \vee X3}} \vee \overline{X2 \vee X3 \vee X4}}}$$

$= (\overline{X1 \vee X2 \vee X3} \vee \overline{X2 \vee X3}) \wedge (X2 \vee \overline{X3 \vee X4})$	De Morgan
$= (\overline{X1}\,\overline{X2}\,\overline{X3} \vee \overline{X2}\,\overline{X3}) \wedge (X2 \vee \overline{X3}\,\overline{X4})$	De Morgan, mehrfach
$= \overline{X2}\,\overline{X3} \wedge (X2 \vee \overline{X3}\,\overline{X4})$	Absorptionsregel
$= \overline{X2}\,\overline{X3}\,\overline{X4}$	2. Distributivgesetz, 0/1-Gesetz,
$= X1\overline{X2}\,\overline{X3}\,\overline{X4} \vee \overline{X1}\,\overline{X2}\,\overline{X3}\,\overline{X4}$	Umwandlung in Minterme

iii) Welche Möglichkeiten sehen Sie, die Schaltfunktion S_1 zu vereinfachen ?

- $(B\bar{C} \vee \bar{B}C)$ kann durch die Antivalenz B <+> C ersetzt werden,
- $(AB \vee A\bar{B})$ kann durch A ersetzt werden,
- $(B \vee \bar{C})C = BC \vee \bar{C}C = BC$.

iv) Gegeben seien die Schaltfunktionen S_2 und S_3 mit

$$S_2 = A\bar{B}\bar{C} \vee \bar{A}B\bar{C} \vee \bar{A}\bar{B}C \vee ABC$$
$$S_3 = AB \vee (A \vee B)C$$

Stellen Sie fest, ob die Schaltfunktionen S_1 (aus i)) und S_2 identisch sind, indem Sie S_1 in eine kanonische disjunktive Normalform (KDNF) überführen. Die Überführung soll dabei schrittweise allein durch algebraische Umformungen vollzogen werden (d.h. Lösungen mit Wahrheitstabelle werden nicht gewertet). Geben Sie für jeden Umformungsschritt die benutzte Regel bzw. Formel an.

$$S_1 = A\bar{B}\bar{C} \vee \bar{A}(B\bar{C} \vee \bar{B}C) \vee \left\{(AB \vee A\bar{B})\overline{(\bar{B}C) \vee \bar{C}}\right\}$$

$= A\bar{B}\bar{C} \vee \bar{A}B\bar{C} \vee \bar{A}\bar{B}C \vee \left\{(AB \vee A\bar{B})\overline{(\bar{B}C) \vee \bar{C}}\right\}$	erstes Distributivgesetz
$= A\bar{B}\bar{C} \vee \bar{A}B\bar{C} \vee \bar{A}\bar{B}C \vee A\,\overline{(\bar{B}C) \vee \bar{C}}$	Absorptionsregel
$= A\bar{B}\bar{C} \vee \bar{A}B\bar{C} \vee \bar{A}\bar{B}C \vee A\overline{\bar{B} \vee \bar{C}}$	De Morgan
$= A\bar{B}\bar{C} \vee \bar{A}B\bar{C} \vee \bar{A}\bar{B}C \vee A\bar{\bar{B}}\bar{\bar{C}}$	De Morgan
$= A\bar{B}\bar{C} \vee \bar{A}B\bar{C} \vee \bar{A}\bar{B}C \vee ABC$	Reflexivität der Negation

Damit ist gezeigt, daß S_2 und S_1 identisch sind.

v) Erstellen Sie eine Wahrheitstabelle mit den Eingangsvariablen A,B,C und den Ausgangsfunktionen S_2, S_3 und stellen Sie fest, um welches Schaltnetz es sich handelt.

C	B	A	S_2	S_3
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Schaltnetz: **Volladdierer**

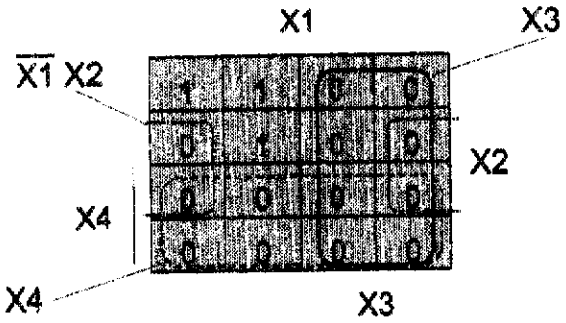
S_2 ist die Summenfunktion

S_3 ist die Übertragsausgangsfunktion ($Ü_{i+1}$)

v) Die Funktion F werde nun um einen weiteren Minterm erweitert zur Funktion

$$F' = F \vee X1\,X2\,\overline{X3}\,\overline{X4}$$

Tragen Sie F' in das folgende Karnaugh-Diagramm ein und bestimmen Sie damit eine möglichst einfache konjunktive Normalform (KNF) zu F'. Kennzeichnen Sie die benutzten Zusammenfassungen deutlich und benennen Sie sie durch die von ihnen repräsentierten Terme.



Zunächst wird von der negierten Form von F' die disjunktive Normalform gewonnen:

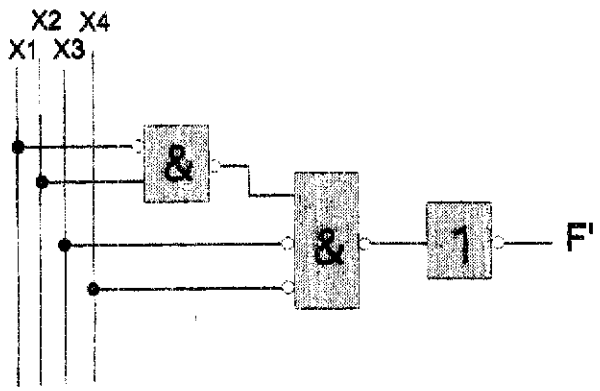
$$\overline{F'} = \overline{X1}\,X2 \vee X3 \vee X4$$

Die konjunktive Normalform zu F' ergibt sich dann durch Negation von $\overline{F'}$ und Anwendung der De Morgan'schen Regel.

$$\begin{aligned} F' &= \overline{\overline{X1}\,X2 \vee X3 \vee X4} \\ &= \overline{\overline{X1}X2} \wedge \overline{X3} \wedge \overline{X4} \\ &= (X1 \vee \overline{X2}) \wedge \overline{X3} \wedge \overline{X4} \end{aligned}$$

vi) Zeichnen Sie das Schaltnetz der Funktion F' in NAND-Technik, d.h. unter ausschließlicher Verwendung von NAND-Gattern mit beliebig vielen (auch invertierten) Eingängen und Invertern.

Eine einfache Realisierung in NAND-Technik ergibt sich sofort aus der zweiten Zeile der Darstellung in iii).



Zu Aufgabe 3:

i) $F(X_1,X_2,X_3) = M_1 \vee M_2 \vee M_7 = \overline{X}_1\overline{X}_2X_3 \vee \overline{X}_1X_2\overline{X}_3 \vee X_1X_2X_3$

ii) In M_1, M_2 kann die Variable X_1 ausgeklammert werden. Das führt zu dem Teilausdruck mit geforderter Antivalenzverknüpfung:

$$\overline{X}_1(\overline{X}_2X_3 \vee X_2\overline{X}_3) = \overline{X}_1(X_2 <+> X_3)$$

Um nun X_1 antivalent mit (X_2 <+> X_3) verknüpfen zu können, muß die Funktion F so erweitert werden, daß gilt:

$$X_1(\overline{X_2 <+> X_3})$$

Dies leistet der Minterm M_4, denn:

$$\begin{aligned}
F(X_1,X_2,X_3) &= \overline{X}_1(\overline{X}_2X_3 \vee X_2\overline{X}_3) \vee X_1X_2X_3 \vee \underline{X_1\overline{X}_2\overline{X}_3} \\
&= \overline{X}_1(X_2 <+> X_3) \vee X_1(X_2X_3 \vee \overline{X}_2\overline{X}_3) \\
&= \overline{X}_1(X_2 <+> X_3) \vee X_1(X_2 <-> X_3) \\
&= \overline{X}_1(X_2 <+> X_3) \vee X_1(\overline{X_2 <+> X_3}) \\
&= X_1 <+> X_2 <+> X_3
\end{aligned}$$

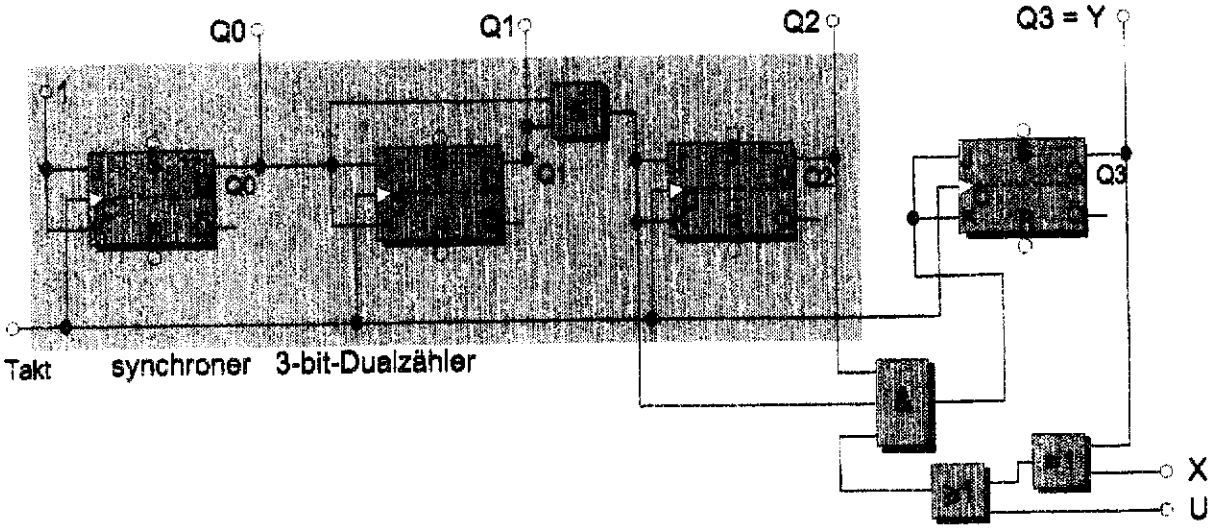
X_1	X_2	X_3	F	F
0	0	0	d	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	0
1	0	0	d	1
1	0	1	d	0
1	1	0	0	0
1	1	1	1	1

iii) Es ist die Summenfunktion eines Volladdierers.

iv)

$$\begin{aligned}
F(X_1,X_2,X_3) &= \overline{X}_1(X_2 <+> X_3) \vee X_1(X_2 <-> X_3) \\
&= \overline{X}_1(\overline{X_2 <-> X_3}) \vee X_1(X_2 <-> X_3) \\
&= X_1 <-> X_2 <-> X_3
\end{aligned}$$

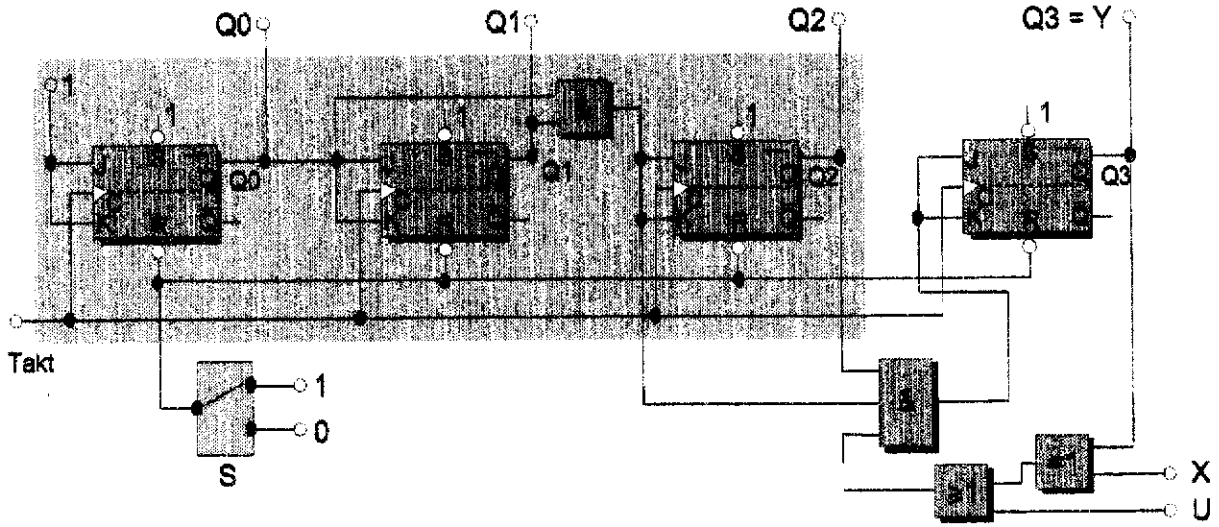
c) (Es reicht, ggf. die Änderungen zu Lösung b) einzuzeichnen.)



Herleitung:

Für U = 1 soll sich das Schaltwerk wie ein synchroner 4-bit-Dualzähler verhalten. Dazu reicht es, für U = 1 die Und-Verknüpfung der linken drei FF-Ausgänge auf die Eingänge des vierten zu legen. Dies geschieht in der obigen Schaltung durch das eingefügte Oder-Gatter, das für U = 1 den Ausgang der Antivalenzschaltung irrelevant (*don't care*) macht.

d) (Es reicht, ggf. die Änderungen zu Lösung c) einzuzeichnen.)



Herleitung:

Alle (negativ aktiven) Eingänge S müssen auf ‚1' gelegt werden, die R-Eingänge zwischen ‚0' und ‚1' geschaltet werden können. Dabei ist der Zustand ‚1' der Ruhezustand.

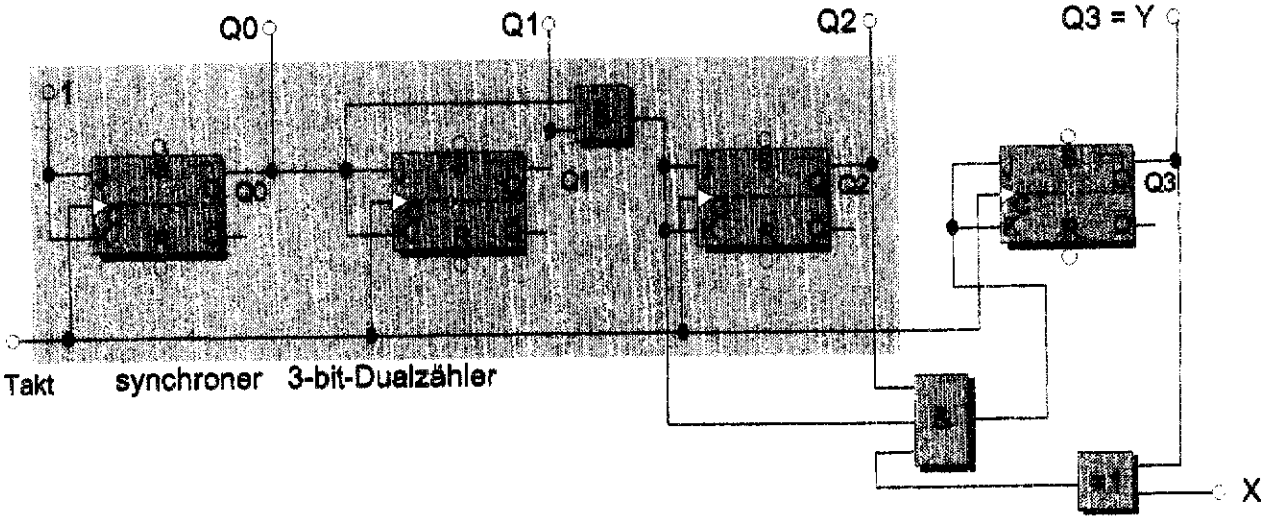
Zu Aufgabe 4:

a)

Es handelt sich um ein: **Moore-Schaltwerk**

Begründung: Die Kantenbeschriftung X bedeutet, daß durch das Eingangssignal X nur eine Zustandsübergang verursacht wird. Das Ausgangssignal Y ist nur vom momentanen Zustand, und nicht direkt vom Eingang X abhängig. Dies ist typisch für ein Moore-Schaltwerk.

b)



Herleitung und Funktionsbeschreibung:

- Betrachtung der niederwertigen drei Bits der dualen Zustandsnummern in beiden Teilzyklen zeigen, daß diese von 000 bis 111 hochgezählt werden. Daher können diese Bits durch einen synchronen 3-bit-Dualzähler erzeugt werden, wie er durch den hellgrau unterlegten Teil in der oben dargestellten Schaltung realisiert wird.
- Das höchstwertige Bit wird durch das rechte FF gegeben. Da das höchstwertige Bit mit der Codierung der Nummer des Teilzyklus übereinstimmt (Teilzyklus I: Y=0, Teilzyklus II: Y=1), kann am FF-Ausgang auch das Ausgangssignal Y abgegriffen werden.
- Das rechte FF darf seinen Zustand nur dann ändern – und dadurch den Übergang in den anderen Teilzyklus anzeigen, wenn der Zustand 7 oder 15 vorliegt, also die Ausgänge der drei anderen FFs auf ‚1' liegen. Diese Bedingung wird durch die oberen zwei Eingänge des 3fach UND-Gatters abgefragt. Vom Teilzyklus I (angezeigt durch Q3 = Y = 0), wird der Übergang durch X = 1, vom Teilzyklus II (angezeigt durch Q3 = Y = 1), durch X = 0 erzwungen. Diese Bedingung wird durch X <+> Q3 bestimmt und durch das untere Antivalenzgatter abgefragt. Sein Ausgang wird dazu auf den dritten Eingang des UND-Gatters gelegt.

Zu Aufgabe 5:

Welche der folgenden Aussagen sind richtig ?

	ja	nein
a) Unter dem Begriff **Mikroprogramm** versteht man jedes Maschinenprogramm, das von einem Mikroprozessor ausgeführt werden kann. *Der Begriff „Mikroprogramm" bezeichnet Abfolgen von elementaren Steuerwörtern (Mikrobefehlen), durch die die Maschinenbefehle eines mikroprogrammierten Prozessors ausgeführt werden. Mikroprogramme sind in einem Festwertspeicher (Control Store) auf dem Prozessorchip abgelegt und können i.d.R. vom Benutzer nicht geändert werden.*	☐	X
b) Eine Unterbrechungsanforderung, die durch die Bearbeitung eines ungültigen Befehlscode auftritt, heißt Software-Interrupt. *Unterbrechungsanforderungen, die aus der Abarbeitung von Befehlen entstehen, heißen **Traps**. Software-Interrupts hingegen werden durch spezielle (gültige) Befehlscodes erzeugt.*	☐	X
c) Bei der indirekten Adressierung zeigt die im Befehl spezifizierte Adresse nicht unmittelbar auf den Operanden selbst, sondern auf ein Speicherwort, in dem die eigentliche Operandenadresse zu finden ist. *(richtig, ohne Kommentar)*	X	☐

d) Unter einer **„maskierbaren"** Unterbrechungsanforderung versteht man *eine Unterbrechungsanforderung, deren Ausführung vom Zustand eines bestimmten Bits im Steuerregister (IE - Interrupt Enable Flag) abhängig ist. Nur wenn dieses Bit entsprechend gesetzt ist, wird die Unterbrechungsanforderung vom Prozessor akzeptiert.*

e) Unter dem Begriff **„Instruction Prefetching"** versteht man *das vorzeitige Einlesen eines oder mehrerer Befehle in den Prozessor noch während der Abarbeitung des vorhergehenden Befehls bzw. der vorhergehenden Befehle.*

f) Unter der **speicherbezogenen Adressierung** von Peripheriebausteinen (*Memory-mapped Addressing*) versteht man *die Einbettung der Register der Peripheriebausteine im Speicher-Adreßraum des Prozessors, d.h. ihre Selektion über „normale" Speicheradressen ohne spezielle Befehle.*

Übergangstabelle für den systematischen Schaltwerksentwurf

Nr.	X	Q3	Q2	Q1	Q0	Q3'	Q2'	Q1'	Q0'	Y	J3	K3	J2	K2	J1	K1	J0	K0
0	0	0	0	0	0	0	0	0	1	0	0	d/0	0	d/0	0	d/0	1	d/1
1	0	0	0	0	1	0	0	1	0	0	0	d/0	0	d/0	1	d/1	d/1	1
2	0	0	0	1	0	0	0	1	1	0	0	d/0	0	d/0	d/0	0	1	d/1
3	0	0	0	1	1	0	1	0	0	0	0	d/0	1	d/1	d/1	1	d/1	1
4	0	0	1	0	0	0	1	0	1	0	0	d/0	d/0	0	0	d/0	1	d/1
5	0	0	1	0	1	0	1	1	0	0	0	d/0	d/0	0	1	d/1	d/1	1
6	0	0	1	1	0	0	1	1	1	0	0	d/0	d/0	0	d/0	0	1	d/1
7	0	0	1	1	1	0	0	0	0	0	0	d/0	d/1	1	d/1	1	d/1	1
8	0	1	0	0	0	1	0	0	1	1	d/0	0	0	d/0	0	d/0	1	d/1
9	0	1	0	0	1	1	0	1	0	1	d/0	0	0	d/0	1	d/1	d/1	1
10	0	1	0	1	0	1	0	1	1	1	d/0	0	0	d/0	d/0	0	1	d/1
11	0	1	0	1	1	1	1	0	0	1	d/0	0	1	d/1	d/1	1	d/1	1
12	0	1	1	0	0	1	1	0	1	1	d/0	0	d/0	0	0	d/0	1	d/1
13	0	1	1	0	1	1	1	1	0	1	d/0	0	d/0	0	1	d/1	d/1	1
14	0	1	1	1	0	1	1	1	1	1	d/0	0	d/0	0	d/0	0	1	d/1
15	0	1	1	1	1	0	0	0	0	1	d/1	1	d/1	1	d/1	1	d/1	1
16	1	0	0	0	0	0	0	0	1	0	0	d/0	0	d/0	0	d/0	1	d/1
17	1	0	0	0	1	0	0	1	0	0	0	d/0	0	d/0	1	d/1	d/1	1
18	1	0	0	1	0	0	0	1	1	0	0	d/0	0	d/0	d/0	0	1	d/1
19	1	0	0	1	1	0	1	0	0	0	0	d/0	1	d/1	d/1	1	d/1	1
20	1	0	1	0	0	0	1	0	1	0	0	d/0	d/0	0	0	d/0	1	d/1
21	1	0	1	0	1	0	1	1	0	0	0	d/0	d/0	0	1	d/1	d/1	1
22	1	0	1	1	0	0	1	1	1	0	0	d/0	d/0	0	d/0	0	1	d/1
23	1	0	1	1	1	1	0	0	0	0	1	d/1	d/1	1	d/1	1	d/1	1
24	1	1	0	0	0	1	0	0	1	1	d/0	0	0	d/0	0	d/0	1	d/1
25	1	1	0	0	1	1	0	1	0	1	d/0	0	0	d/0	1	d/1	d/1	1
26	1	1	0	1	0	1	0	1	1	1	d/0	0	0	d/0	d/0	0	1	d/1
27	1	1	0	1	1	1	1	0	0	1	d/0	0	1	d/1	d/1	1	d/1	1
28	1	1	1	0	0	1	1	0	1	1	d/0	0	d/0	0	0	d/0	1	d/1
29	1	1	1	0	1	1	1	1	0	1	d/0	0	d/0	0	1	d/1	d/1	1
30	1	1	1	1	0	1	1	1	1	1	d/0	0	d/0	0	d/0	0	1	d/1
31	1	1	1	1	1	1	0	0	0	1	d/0	0	d/1	1	d/1	1	d/1	1

Erklärung: d/i: irrelevantes Feld, auf i gesetzt (i=0,1);

Analyse der gesuchten Ansteuergleichungen und geeignete Belegung der d-Felder ergibt:

$J0 = K0 = 1,\ J1 = K1 = Q0,\ J2 = K2 = Q1 \wedge Q0$ (wie beim synchronen Dualzähler)

$$J3 = K3 = Q2 \wedge Q1 \wedge Q0 \wedge (\overline{X} \wedge Q3) \vee Q2 \wedge Q1 \wedge Q0 \wedge (X \wedge \overline{Q3})$$

$$= Q2 \wedge Q1 \wedge Q0 \wedge (X \text{ <+> } Q3)$$

Zu Aufgabe 6:

a) Ein Gleitpunkt-Rechenwerk verarbeite nur das 32-bit-Gleitpunktformat des IEEE-754-Standards. In seinem Konstanten-Festwertspeicher finde sich die folgende Zahl Z:

0	1 0 0 0 0 0 0 0	1 0 0 1 0 0 1 0 0 0 0 1 1 1 1 1 0 1 1 0 1 0
VZ	Charakteristik C	Mantissenteil M

Kennzeichnen Sie die verschiedenen Bitfelder in der oben dargestellten Zahl.

Geben Sie zunächst die Zahl Z in hexadezimaler Form an:

Z = $40490FDA

Berechnen Sie nun (näherungsweise) die Dezimalzahlen-Darstellung dieser Konstanten. Dabei reicht es, die höchstwertigen 7-8 Stellen der Mantisse auszuwerten. (Rechnung angeben!)

$Z = (-1)^0 \cdot 2^{128-127} \cdot (1.1001001)_2 \Rightarrow Z_{10} = 2^1 \cdot (1+1/2+1/16+1/128) = 3.140625$

Um welche wichtige Konstante handelt es sich? Kreiszahl π (Pi)

b) Wandeln Sie die dezimale Konstante 10 in das 32-bit-Format des IEEE-754-Standards und tragen Sie sie in den folgenden Rahmen ein. Kennzeichnen Sie die verschiedenen Bitfelder. Stellen Sie die Gleitpunktzahl als hexadezimale Zahl dar.

$Z = 10 = 1010_2 = 2^3 \cdot (1.010)_2 \Rightarrow Z = (-1)^0 \cdot 2^{3+127} \cdot (1.010)_2 = 2^{130} \cdot (1.010)_2$

0	1 0 0 0 0 0 1 0	0 1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
VZ	Charakteristik C	Mantisse M

Z = $41200000