Bitte hier unbedingt Matrikelnummer und Adresse eintragen, sonst keine Bearbeitung möglich.

Postanschrift: FernUniversität, D-58084 Hagen

Name, Vorname

Straße, Nr.

PLZ, Wohnort

FERNUNIVERSITÄT
In Hagen
EINGANG

INF

FERNUNIVERSITÄT
in Hagen
D-58084 Hagen

Fachbereich Informatik

Kurs: 1708 „Technische Informatik II“

Hauptklausur am 07.02.2004

Zutreffendes unbedingt ankreuzen !

Hörerstatus:

- ☐ Vollzeitstudent
- ☐ Teilzeitstudent
- ☐ Zweithörer
- ☐ Gasthörer
- ☐ Bachelor
- ☐ Lehramt
- ☐ . . . . . .

Klausurort:

- ☐ Berlin
- ☐ Bochum
- ☐ Frankfurt
- ☐ Hamburg
- ☐ Karlsruhe
- ☐ Kassel
- ☐ Düsseldorf
- ☐ München
- ☐ Bregenz
- ☐ Wien
- ☐ . . . . . .

Aufgabe	1	2	3	4	5	6	Summe
erreichbare Punktzahl	24	18	14	20	12	12	100
bearbeitet							
erreichte Punktzahl							

Note: _____

Hagen, den _____ Betreuer: _____

©2004 FernUniversität in Hagen

FernUniversität in Hagen

Fachbereich Informatik
Lehrgebiet Technische Informatik II
Prof. Dr. J. Keller
D - 58084 Hagen, den 07.02.2004

Bescheinigung zur Vorlage beim Finanzamt

Herr/Frau _____

geb. am _____ , Matr.-Nr.: _____ ,

hat am 07.02.2004 von 10:00 - 13:00 Uhr an der Hauptklausur zum

Kurs 1708 „Technische Informatik II“

in _____ teilgenommen.

(Siegel) (Prof. Dr. J. Keller)

FernUniversität in Hagen

Fachbereich Informatik
Lehrgebiet Technische Informatik II
Prof. Dr. J. Keller
D - 58084 Hagen, den 07.02.2004

Leistungsnachweis / Zertifikat

Herr/Frau _____

geb. am _____ , Matr.-Nr.: _____ ,

hat im WS 2003/2004 m i t E r f o l g an der Klausur zum

Kurs 1708 „Technische Informatik II“

teilgenommen.

Note: (Siegel) (Prof. Dr. J. Keller)

Hinweise zur Hauptklausur des Kurses 1708 am 07.02.2004

- Die Klausurdauer beträgt: drei Stunden (10.00 bis 13.00 Uhr)
- **Es sind keine Hilfsmittel erlaubt.**
- Legen Sie Ihren Studenten- und Personalausweis zur Überprüfung durch die Aufsicht bereit.
- Füllen Sie vor Beginn der Klausur unbedingt das Deckblatt aus - und zwar in leserlicher Druckschrift.
- Füllen Sie bitte vor Inangriffnahme der Klausuraufgaben den/das Leistungsnachweis/Zertifikat leserlich aus (natürlich bis auf die Note und Unterschrift). Andernfalls wird kein Leistungsnachweis erstellt.
- Die Bescheinigung für das Finanzamt ist nur mit Unterschrift und Stempel gültig. Nur vollständig ausgefüllte Bescheinigungen werden von uns abgestempelt, unterschrieben und Ihnen zugestellt.
- Überprüfen Sie die Vollständigkeit der Aufgabenstellungen! Die eigentliche Klausur umfasst insgesamt 12 Seiten mit 6 aufgaben.
- Schreiben Sie auf alle Lösungsbögen Ihren Namen und Ihre Matrikelnummer!
- Tragen Sie Ihre Lösungen in die dafür vorgegebenen Felder ein. Falls Sie damit nicht auskommen, benutzen Sie bitte die Rückseite der vorhergehenden Aufgabe. Verweisen Sie in diesem Fall darauf, dass diese Rückseite beschrieben ist.
- Bei Abgabe Ihrer Arbeit heften Sie bitte die ersten Seiten des übergebenen Klausur-exemplares (Deckblatt, Bescheinigungen und Hinweise zur Klausur) vor Ihre Lösungsblätter. Kontrollieren Sie zum Schluß, dass Sie Ihre gesamte Arbeit geheftet abgeben. Nachträglich eingereichte Lösungen werden von uns nicht akzeptiert.
- Die Korrektur der Klausur wird voraussichtlich bis Ende Februar 2004 erfolgt sein. Wir bitten, von vorzeitigen Nachfragen abzusehen.

Bei der Bearbeitung der Klausur wünschen wir Ihnen viel Erfolg!

Ihre Kursbetreuer

Aufgabe 1 (24 Punkte):

Gegeben sei ein Rechner mit einem direkt-mapped Datencache mit 1024 Zeilen und einer Cacheline-Größe von 64 Bytes. Der Cache sei zu Beginn leer. Ausgeführt wird das folgende Pseudo-PASCAL-Programmstück

```
a: array 0..65535 of integer;
i, summe: integer;
for i: = 0 to 65535 do summe: = summe + a[i];
```

Beantworten Sie die folgenden Fragen und begründen Sie jeweils Ihre Antwort!

a) Wie gross ist die Hitrate auf den Daten in diesem Programmstück, wenn die Variablen `summe` und `i` Registervariablen sind, ein integer 32 Bit gross ist, und der Beginn des Feldes `a` im Speicher auf den Anfang einer Cacheline fällt?

b) Bei welchem Wert von `i` findet zum ersten Mal eine Verdrängung statt?

c) Würde ein voll-assoziativer Datencache mit gleicher Zeilenzahl und gleicher Cacheline-Größe eine kleinere, größere oder gleiche Hitrate erzeugen?

d) Bei welchen anderen Kombinationen von Zeilenzahl und Cacheline-Größe, die zu einer Cache-Größe von $1024 \cdot 64 = 65536$ Byte führt, wird im direct-mapped Cache die Hitrate maximiert? Würde dies in der Praxis einen zeitlichen Vorteil bringen?

e) Wie würde sich in Teil a die Hitrate verändern, wenn die Schleife lautete:

```
for i: = 0 to 4095 do summe: = summe + a[16*i];
```

Aufgabe 2 (18 Punkte):

Gegeben sei ein Rechnersystem mit Geräten i, $i = 0, 1, 2, \ldots$, wobei Gerät i alle $2^i \cdot x$ Mikrosekunden eine Interruptanfrage stellt, deren Behandlung $2^i \cdot y$ Mikrosekunden dauert, wobei x und y natürliche Zahlen sind und x von y geteilt wird. Gerät i hat höhere Priorität als Gerät $i + 1$, Interrupts dürfen sich unterbrechen. Beantworten Sie folgende Fragen und begründen Sie jeweils Ihre Antwort.

a) Wie viele Geräte können von dem Rechnersystem bedient werden?

b) Wie lange dauert es bei $x = 4$ und $x = 7$ jeweils längstens in einem System mit 4 Geräten, die die Nummern 0 bis 3 haben, bis eine Interruptanfrage von Gerät 3 fertig behandelt ist?
Hinweis: Die Frage lässt sich für jedes x zum Beispiel durch die Anfertigung einer Zeichnung mit Zeitstrahl und Auswertung dieser Zeichnung beantworten.

c) Was würde passieren, wenn die Zahl x/y kleiner ist als die Anzahl s der Geräte? Was passiert, wenn $x/y < s - 1$ ist?

Aufgabe 3 (14 Punkte):

Geben Sie für die Aussagen in a) bis c) an, ob Sie richtig oder falsch sind, und begründen Sie im Falle von „falsch“ kurz Ihre Meinung.

a) Die Aktivierung bzw. Deaktivierung der Tristate-Treiber zwischen einem lokalen Bus und dem Systembus wird von sogenannten DMA-Controllern gesteuert.

b) Unter einem Strobe versteht man ein Triggersignal, das nach dem Eintreten eines Ereignisses nur für einen einzigen Taktzyklus seinen Signalpegel ändert.

c) Beim aktiven Warten (busy waiting) führt der Prozessor eine Schleife aus, bei der er ausschließlich eine Abfrage des Statusregisters des Schnittstellenbausteins durchführt.

d) Erläutern Sie den Begriff Fly-by-Transfer.

e) Erläutern Sie die Funktionsweise einer Watch-Dog-Schaltung.

Aufgabe 4 (20 Punkte):

a) Nennen Sie drei verschiedene Adressierungsmodi für Operanden, und erläutern Sie diese. Geben Sie jeweils ein Beispiel.

b) Skizzieren Sie die Struktur von 32-Bit-Maschinenbefehlsworten bei einer 2-Adress-Maschine, in der 8 Bit für den Operationscode verwendet werden.

c) Geben Sie jeweils ein möglichst kurzes Maschinenprogramm für eine 0-Adress– und eine 2-Adress-Maschine an, das den Ausdruck $X = A/(D - E/F)$ berechnet.

d) Füllen Sie nun die folgende Tabelle aus:

	Anzahl der Befehle	Anzahl der Adressen	Speicherbedarf in Bit für die Programme (8 Bit Opcode, 16 Bit je Adresse)
0-Adress–Maschine			
2-Adress–Maschine			

Aufgabe 5 (12 Punkte):

Beantworten Sie die folgenden Fragen und begründen Sie kurz Ihre Antwort.

a) Gegeben sei ein Mikroprozessor mit 3 GHz Taktfrequenz (G=10^9) und ein aus SDRAM aufgebauter Hauptspeicher mit einer Zugriffszeit von 4 ns (n=10^{-9}). Wie viele Taktzyklen dauert aus Sicht des Prozessors der Speicherzugriff?

b) Gegeben sei ein Mikrorechner mit einem Cache (Zugriffszeit t_1 Zyklen, Hit-Rate p_1 mit $0 \leq p_1 \leq 1$) und einem Hauptspeicher (Zugriffszeit $t > t_1$ Zyklen). Die mittlere Speicherzugriffszeit T für ein solches System ist $T = p_1 \cdot t_1 + (1 - p_1) \cdot t$. Erweitern Sie die Formel für ein System mit drei Cache-Stufen mit Zugriffszeiten $t_1 < t_2 < t_3$ Zyklen und Hit-Raten p_1, p_2, p_3. Rechnen Sie die mittlere Speicherzugriffszeit aus für $p_1 = p_2 = p_3 = 0,9$, $t_1 = 1$, $t_2 = 10$, $t_3 = 20$, $t = 100$. Wie müsste bei diesen Werten die Hit-Rate p_1 verändert werden, damit eine mittlere Speicherzugriffszeit von $T = 1,55$ erreicht wird?

Aufgabe 6 (12 Punkte):

Gegeben sei ein superskalarer Prozessor mit 4 Integer-Pipelines (Tiefe 2), 2 Floatingpoint-Pipelines (Tiefe 4), und 1 Load/Store-Pipeline (Tiefe 2). Jede Pipeline kann pro Takt einen neuen Befehl ausführen. Datenabhängigkeiten innerhalb eines Typs von Pipeline können per Bypass ohne Zeitverlust gelöst werden. Datenabhängigkeiten zwischen verschiedenen Pipeline-Typen bedingen, dass der abhängige Befehl erst so viele Takte später gestartet wird, wie die Tiefe der Pipeline des Befehls angibt, von dem er abhängig ist (Beispiel: ist ein Floatingpoint-Befehl von einem Integer-Befehl abhängig, dann wird der Floatingpoint-Befehl erst 2 Takte nach dem Integer-Befehl gestartet). Kontrollflußabhängigkeiten werden nicht berücksichtigt.

a) Wie hoch ist die maximale, und wie hoch die minimale Anzahl von Befehlen, die in einem Takt zur Ausführung gelangen können? Begründen Sie Ihre Antwort.

b) Welche Bandbreite zum Speicher ist erforderlich, wenn der Prozessor eine Taktrate von 3 GHz ($1G = 10^9$) hat, jeder Befehl 32 Bit umfasst, und im Mittel bei jedem siebten Befehl ein Zugriff auf 32-Bit-Daten im Speicher stattfindet?