Aufgabe 1: (10 Punkte)

Welche der folgenden Aussagen sind richtig ?

		ja	nein
a)	Ein Mikroprozessor greift während jeder Phase der Befehlsbearbeitung auf den Adreß- und Datenbus zu.	☐	☐
b)	Jede Unterbrechungsanforderung unterbricht sofort die augenblicklich ausgeführte Operation	☐	☐
c)	Bei der Programmzähler-relativen Adressierung wird für die Berechung der effektiven Adresse die Adresse des folgenden Befehls zugrunde gelegt.	☐	☐
d)	Für das Auffrischen (refresh) von dynamischen Speicher muß jede Speicherzelle einzeln angesprochen werden.	☐	☐
e)	Die Länge des Index in einem Direct Mapped Cache wird durch die Größe des Tag-RAMs bestimmt.	☐	☐

Aufgabe 2: (10 Punkte)

a) Unter dem Begriff der ,,sukzessiven Approximation“ versteht man .....

.....

.....

.....

b) Unter dem Begriff „Daisy Chain“ bei Interrupt-Controllern versteht man .....

.....

.....

.....

.....

c) Unter dem Begriff „Two Cycle Transfer” bei direktem Speicherzugriff versteht man .....

.....

.....

.....

d) Der Vorteil des Seitenzugriffs bei dynamischen RAMs ist .....

.....

.....

.....

e) Die Interruptvektornummer dient zur .....

.....

.....

.....

Aufgabe 3: (15 Punkte)

Ein 8-bit-Mikroprozessor besitze einen 8-bit-Datenbus und einen 16-bit-Adreßbus. 16-bit-Adressen werden byteweise unter zwei hintereinander folgenden Adressen des Speichers abgelegt, wobei das höherwenige Adreßbyte unter der höherwertigen Adresse zu finden ist (Little-Endian-Format). Der Prozessor besitzt unter anderem einen 8-bit-Akkumulartor A und ein 16 bit langes Indexregister Y.

1. Beschreiben Sie ausführlich einen Ladebefehl für den Akkumulator A für die Adressierungsart ,,indirekte Register-indirekte Adressierung“ LDA ((Y)). (3 Punkte)

.....

.....

.....

2. Es liege der unten vorgegebene Speicherauszug vor. Welche Werte werden bei der obigen Adressierungsart in den Akkumulator geladen ? (6 ‘Punkte)

Indexregister Y	effektive Adresse	Akkumulator A
0404		
0416		
0399		
040d		

Adresse	Daten															
0390	Of	04	Ob	04	Oa	04‘	08	04	06	04	04	04	02	04	00	04
0400	10	04	90	03	12	04	92	03	14	04	94	03	16	04	06	03
0410	**03**	04	01	**40**	93	**03**	92	**03**	95	**03**	**07**	**04**	17	04	lf	04

3. Schätzen Sie ab, wieviel Takte der obige Ladebefehl benötigt. Die Länge des Befehls soll 2 Byte betragen. Jeder Zugriff auf den Speicher benötige einen Taktzyklus. Begründen Sie diese Abschätzung ! (6 Punkte)

.....

.....

.....

Aufgabe 4: (15 Punkte)

Zwei Zahlen seien im 32-bit-Format des IEEE-754 Standards in hexadezimaler Darstellung gegeben: **Zl = 5.875, Z2 = -3.125.**

a) Geben Sie Charakteristik C, Exponent E und Mantisse M in hexadezimaler, binärer und dezimaler Form an. (6 Punkte)

Zl: Vorzeichen: VZ = _____ Charakteristik: C = $_____ = _____$_{10}$

Exponent: E = $_____ = _____$_{10}$

Mantisse: 1 .M = (_____)$_2$ = _____$_{10}$

Z2: Vorzeichen: VZ = _____ Charakteristik: C = $_____ = _____$_{10}$

Exponent: E = $_____ = _____$_{10}$

Mantisse: 1.M = (_____)$_2$ = _____$_{10}$

b) Tragen Sie diese Zahlen in binärer und hexadezimaler Form ein. Kennzeichnen Sie die unterscheidbaren Bitfelder sowie die Lage des Punktes (Kommas). (3 Punkte)

Zl = $_____

31 30 29 28 27 26	25 24 23 22 21 20 19 18 17 16 15 14 13 12	11 10	9	8	7	6	5	4	3	2	1	0

Z2 = $ _____

31 30 29 28 27 26	25 24 23 22 21 20 19 18 17 16 15 14 13 12	11 10	9	8	7	6	5	4	3	2	1	0

c) Es soll die Summe S der Zahlen Zl und Z2 gebildet werden. Wie erfolgt die Angleichung des Exponenten von Z2 ? Geben Sie die Mantisse von Z2 **vor der Ausführung der Addition** als hexadezimale Zahl an. Führen Sie die Addtion durch und tragen Sie die Summe ein. (4 Punkte)

Mantisse von Z2 vor der Addition: = $_____

31 30 29 28 27 26	25 24 23 22 21 20 19 18 17 16 15 14 13 12	11 10	9	8	7	6	5	4	3	2	1	0

Zl + Z2 = $_____

Aufgabe 5: (25 Punkte)

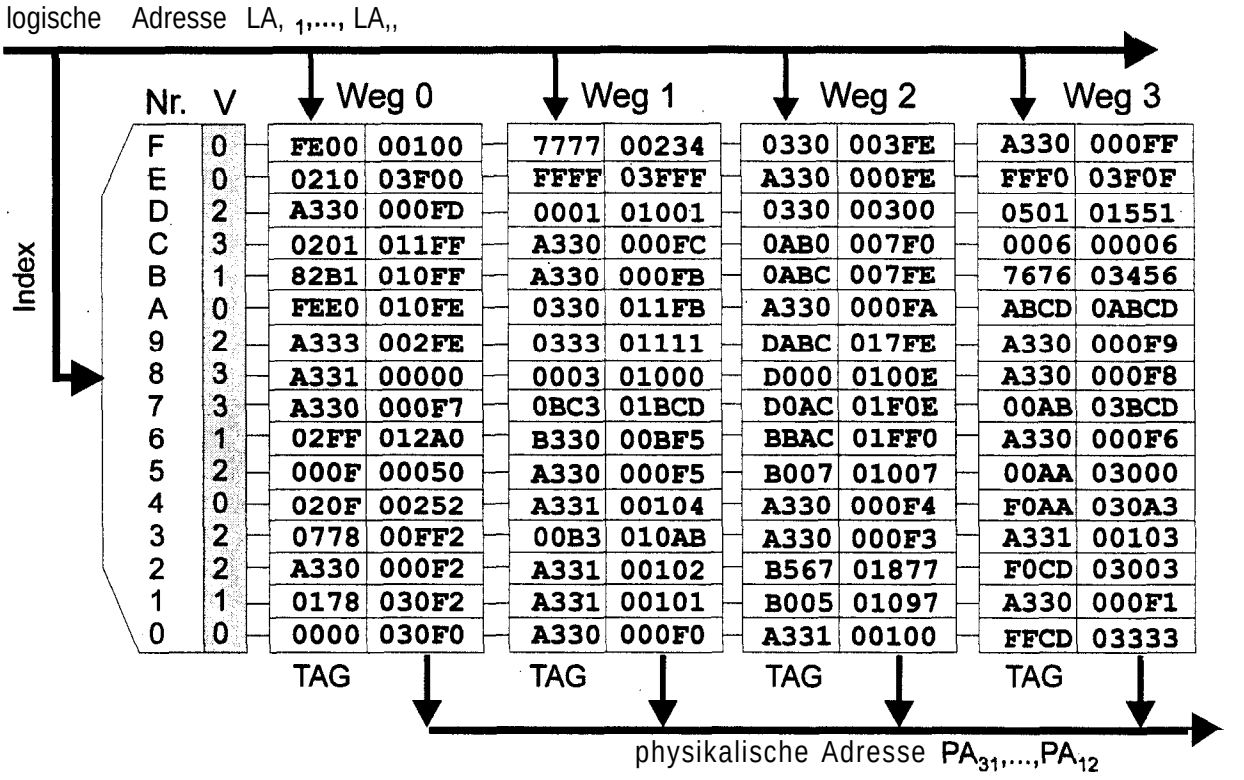
Ein Mikrorechner unterstütze die *virtuelle Speicherverwaltung,* durch die sein 4 Gbyte großer logischer Adreßraum auf den tatsächlich vorhandenen, 64 Mbyte großen physikalischen Hauptspeicher abgebildet wird. Dazu benutzte er das sog. Seitenwechselverfahren, bei dem logischer und physikalischer Adreßraum in gleich große, 4-kbyte-Seiten aufgeteilt werden, die durch die Speicherverwaltung dynamisch einander zugewiesen werden. Durch die *sog. Speicherabbildungsfunktion* wird jeder logischen Adresse LA nach folgender Vorschrift eine eindeutige physikalische Adresse PA zugeordnet:

$$(PA_{11}, \ldots, PA_0) = (LA_{11}, \ldots, LA_0),$$
$$(PA_{31}, \ldots, PA_{12}) = f(LA_{31}, \ldots, LA_{12})$$

Die Funktion f wird dabei durch mehrstufige Zugriffe auf Tabellen im Hauptspeicher oder auf der Festplatte ermittelt.

Zur Beschleunigung der Adreßermittlung wird ein *4-way set associative Cache* eingesetzt, der *Translation Lookaside Buffer* - TLB (siehe, Bild 5.1). Er umfaßt insgesamt 64 Einträge und enthält in den Tag-RAMs die höherwenigen Bits der logischen Adressen, im Daten-RAM die höherwenigen Bits der physikalischen Adressen. Wird eine logische Adresse im Cache gefunden (Treffer - Hit), so kann ohne Zeitverlust auf die physikalische Adresse zugegriffen werden.
Bei einem Fehlschlag (Miss) muß die physikalische Adresse über f berechnet und im Cache abgelegt werden. Bei der Ablage der neuen physikalischen Adresse wird die Verdrängungsstrategie *Random* angewandt, bei der der zu verdrängende Eintrag zufallsabhängig bestimmt wird.

Bild 5.1: Aufbau des TLBs und Anfangsbelegung:



a) Welche Bits der logischen Adressen LA dienen als ,Index, welche als Tag ?

b) Wie groß ist der maximale Speicherbereich, der durch alle Einträge des TLBs referenziert werden kann, ohne daß eine Verdrängung stattfindet ?

c) Welchen physikalischen Adreßbereich belegt der zusammenhängende Programm- oder Datenteil, der bei der logischen Startadresse $A330 0000 beginnt, und wie groß ist dieser Bereich ? Stellen Sie dazu anhand von Bild 5.1 fest, wie lang die ununterbrochene Kette von Folgeseiten des logischen Adreßraums ist, die mit der vorgegebenen Startadresse beginnt und deren Anfangsadressen im TLB abgelegt sind.

d) Welcher Eintrag im TLB nach Bild 5.1 ist ungültig, da der physikalische Speicher nur 64 Mbyte umfaßt ?

e) Ergänzen Sie in der unten stehenden Tabelle 5.2 für jeden Zugriff mit den angegebenen logischen Adressen (LA), ob es sich um einen Treffer (Hit) oder Fehlschlag (Miss) handelt. Geben Sie für jeden Treffer die zugeordnete physikalische Adresse (PA) an.

f) Zur Realisierung der Verdrängungsstrategie enthält die Cache-Steuerung (s. Bild 5.1) für jeden Eintrag eine mit V (Verdrängung) bezeichnete Kennung, die angibt, in welchem Weg 0 - 3 der neue Wert eingetragen wird. Nach der Verdrängung wird dieser Wert nach der folgenden Formel für einen Pseudo-Zufallszahlen-Generator modifiziert:

$$V_{neu} = (1 * V_{alt} + 3) \text{ modulo } 4.$$

Geben Sie in unten stehender Tabelle 5.2 für die unter c) gefundenen Fehlschläge (Miss) an, in welchem Eintrag (0 - F) und in welchem Weg (0 - 3) der neue Wert eingetragen und welcher neue Wert V_{neu} diesem Eintrag zugeordnet wird.

Tabelle 5.2:

LA	Hit/Miss	PA	Eintrag	Weg	Vneu
$02FF 6AC0					
$02FF 0456					
$A330 8000					
$A330 9468					
$8888 8888					
$0001 D100					
$00B3 2800					
$2222 2000					
$0333 9880					
$3333 9880					

Aufgabe 6: (10 Punkte)

Ein 4-bit-Digital/Analog-Wandler mit vier Kanälen wird über eine serielle Schnittstelle angesteuert. Die erzeugte Ausgangsspannung liegt zwischen $0 \leq U_e < 3.2V$ (Volt).

1. Berechnen Sie den Ausgangswert für das LSB. (2 Punkte)

U_{LSB} = _____ V

2. Die Daten werden in Folgen mit jeweils 7 Bits (B6-B0) seriell übertragen. Die Bits B6 bis B3 kennzeichnen den auszugebenen Wert des Digitalwandlers. Die Bits B2 und B1 benennen den Kanal, auf dem der Wert ausgegeben werden soll, und auf Bit BO wird die ungerade Parität übertragen. Schlüsseln Sie die folgenden Werte auf, die der D/A-Wandler empfangen hat, und überprüfen Sie die Parität. Bei einem Paritätsfehler wird ein Wert von 0 Volt ausgegeben. (5 Punkte)

Wert	B6 B5 B4 B3 B2 B1 BO	Kanal	Wert (Volt)	Fehler (ja/nein)
$52			V	
$0D			V	
$2D			V	
$51			V	
$7A			V	

3. Die Wandlungszeit für einen Wert beträgt 3 ms. Die Schnittstelle kann mit den in der folgenden Tabelle angegebenen Baudraten betrieben werden. Serielle Übertragung und D/A-Wandlung werden parallel ausgeführt, d.h. ein neuer Wert wird bereits zum D/A-Wandler übertragen, während dieser noch mit der Wandlung des vorhergehenden befaßt ist Tragen Sie in die Tabelle ein, wieviel Kanäle so maximal kontinuierlich mit neuen Werten versorgt werden können. (3 Punkte)

Baudrate	Anzahl der Kanäle
2400	
4800	
9600	
19200	
38400	