Bitte hier unbedingt Matrikelnummer und Adresse eintragen, sonst keine Bearbeitung möglich.

Name, Vorname _____

_____

_____

Straße, Nr. _____

PLZ, Wohnort _____

Übungsklausur zum Kurs 1708

Aufgabe 1: (10 Punkte)

Welche der folgenden Aussagen sind richtig ?

		ja	nein
a)	Unter dem Begriff „Mikroprogramm“ versteht man jedes Maschinenprogramm, das von einem Mikroprozessor ausgeführt werden kann.	☐	☐
b)	Eine Unterbrechungsanforderung, die durch die Bearbeitung eines ungültigen Befehlscode auftritt, heißt Software-Interrupt.	☐	☐
c)	Bei der indizierten Adressierung zeigt die im Befehl spezifizierte Adresse nicht unmittelbar auf den Operanden selbst, sondern auf ein Speicherwort, in dem die eigentliche Operandenadresse zu finden ist.	☐	☐
d)	RISC-Prozessoren sind nur dadurch gekennzeichnet, daß sie einen sehr kleinen Befehlssatz besitzen.	☐	☐
e)	Bei der Ausführung von logischen Befehlen (AND, OR, NOT, EOR) werden die logischen Werte ‘0’ bzw. ‘1’ immer durch $00 bzw. $01 repräsentiert.	☐	☐

Aufgabe 2: (10 Punkte)

a) Unter einem „**Trap**“ versteht man .....
.....
.....
.....

b) Unter dem Begriff „ **Lokalitätseigenschaft von Programmen** “ versteht man
.....
.....
.....
.....

c) Unter dem Begriff „**Pipeline-Hemmnis**“ versteht man .....
.....
.....
.....
.....

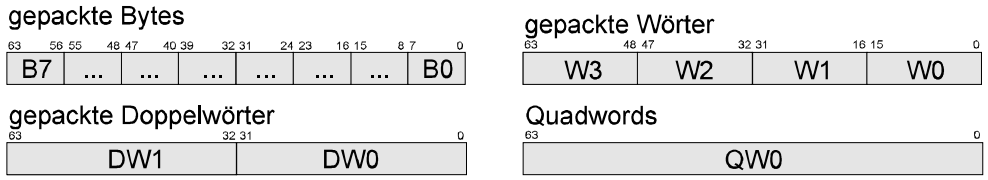
d) Adressierungsarten, bei denen die im Befehl spezifizierte Adresse nicht unmi t-
telbar auf den Operanden selbst zeigt, sondern erst auf eine Speicherzelle, u n-
ter der die eig entliche Operandenadresse zu finden ist, werden als
..... Adressierung bezeic hnet.

e) Ein Verfahren, bei dem der Datentransfer zwischen Speicher und
Peripheriekomponenten ohne Eins atz der CPU durchgeführt wird, heißt
.....

(bitte vollständigen Begriff und Abkürzung angeben)

Aufgabe 3: (15 Punkte)

Ein MMX-Rechenwerk (Multimedia Extension) unterstützt gepackte Datenformate nach untenstehendem Bild, die in einem 64-bit-Register wahlweise 8 Bytes, 4 (16-bit-)Wörter, 2 (32-bit-)Doppelwörter oder ein 64-bit-Wort (Quadword) unterbringen. Alle Werte können vorzeichenlos oder vorzeichenbehaftet sein. Negative Werte werden dabei im 2er-Komplement dargestellt. Spezielle MMX-Befehle wirken parallel auf diese Datenformate, d.h. es können z.B. durch einen einzigen Addier-Befehl zweimal 8 Bytes addiert werden. Ein Übertrag zwischen den einzelnen Werten der gepackten Daten findet dabei nicht statt. Die Datenbreite wird im Assemblerbefehl spezifiziert. Der erwähnte Addier-Befehl hat z.B. die Form: PADDX, wobei X=B,W,D für 8 Bytes, 4 Wörter, 2 Doppelwörter steht.



a) Die Addition mit vorzeichenbehafteten Werten kann wahlweise in einer der beiden folgenden Formen geschehen:

- **mit Abschneiden** (Befehl PADD, *Wrap-around*): Ein (Teil-)Ergebnis, das nicht ins vorgegebene Datenformat paßt, wird auf die durch die Datenlänge definierte Anzahl von (niederwertigen) Bits abgeschnitten (modulo-2^n-Rechnung, n=8,16,32,64);
- **mit Sättigung** (Befehl PADDS, *Saturation*): Das Ergebnis wird bei einem Überlauf im 2er-Komplement (vgl. KE1, Abschnitt 1.6, *Overflow Flag*) auf den größten positiven bzw. kleinsten negativen darstellbaren Wert auf- bzw. abgerundet, wenn der Überlauf einen negativen bzw. positiven Wert erzeugt. (Beispiele: \$60 + \$3A = \$9A $\Rightarrow$ \$7F, \$FFFF + \$8000 $\Rightarrow$ \$8000)

Geben Sie den Wert des Ergebnisregisters R1 an nach Ausführung der Befehle

1. PADDW R1 , R2 (R1 := R1 + R2 mit Wrap-around)

R1 :

2. PADDSB R1 , R2 (R1 := R1 + R2 mit Sättigung)

R1 :

mit der Eingabe R1 = \$ 6AE303D2835A7F34, R2 = \$ 12F0A234AF061707

b) Geben Sie für den Eingabewert R1 = \$ 87565432F23400F5 das Ergebnis des folgenden Befehls zum arithmetischen Rechts-Schieben an:

PSRAD R1 , #6

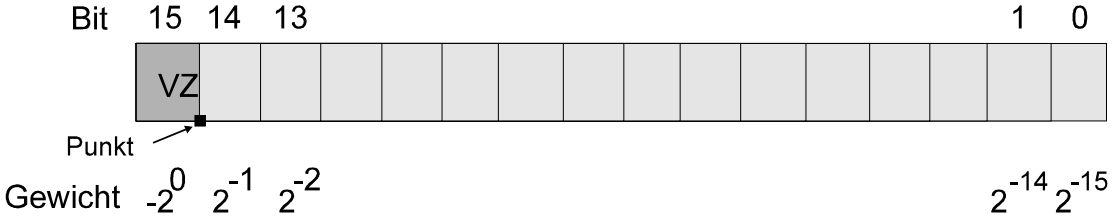
in dem #6 die Anzahl der Bitpositionen angibt, um die (parallel) verschoben werden soll.

R1' :

Hinweis: Für die Teilaufgaben a) und b) werden auf der Blatt-Rückseite Nebenrechnungen verlangt.

Aufgabe 4: (15 Punkte)

Ein 16-bit-Festpunktrechenwerk verarbeite vorzeichenbehaftete gebrochene Zahlen im 1.15-Format (1 Vorkomma-, 15 Nachkommastellen) nach folgender Skizze:



In der Skizze ist für jedes Bit seine Wertigkeit angegeben.

a) Geben Sie für das beschriebene Format den darstellbaren Zahlenbereich (jeweils in binärer und dezimaler Form) an:

_____$_{10}$ = _____$_{2}$ ≤ Z ≤ _____$_{2}$ = _____$_{10}$

b) Welche Dezimalzahlen werden durch folgende, in hexadezimaler Darstellung gegebenen Festpunkt-Zahlen (Format 1.15) repräsentiert:

Z1 = $7000 = _____ Z2 = $5B00 = _____

Z3 = $9000 = _____ Z4 = $FFFF = _____

c) Stellen Sie die folgenden Zahlen als 16-bit-Festpunktzahlen in hexadezimaler Form dar:

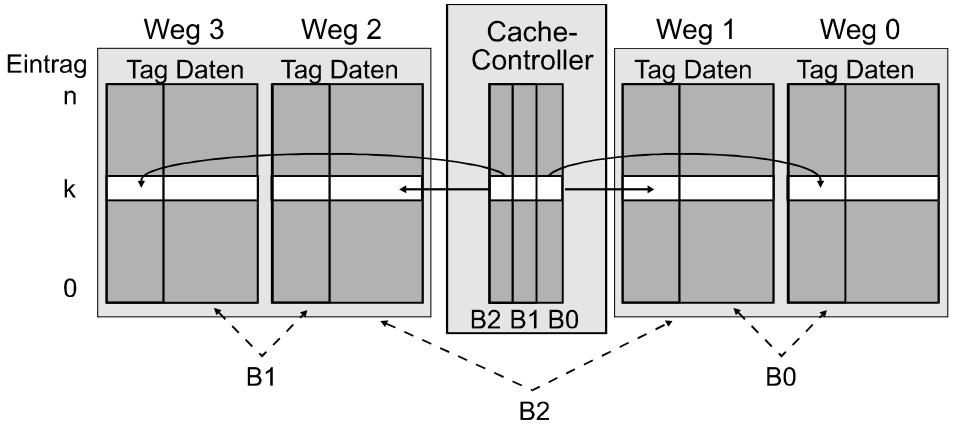
Z1 = - 0.5625 = _____ Z2 = - 1 = _____

Z3 = 0.5625 = _____ Z4 = 0,0625 = _____

Hinweis: Für die Teilaufgaben a) - c) werden auf der Blatt-Rückseite Nebenrechnungen verlangt.

Aufgabe 5: (30 Punkte)

Das folgende Bild zeigt das vereinfachte Blockschaltbild eines 4-fach Satz-assoziativen Caches (*4-way set associative cache*). Zur Realisierung einer Verdrängungsstrategie enthält der Cache-Controller für jeden Eintrag drei Bits B2, B1, B0. Im Bild ist angedeutet, daß durch B2 zwischen den „Wege"-Paaren (Weg 3, Weg 2) und (Weg 1, Weg 0) selektiert wird. B1 wiederum selektiert im 1. Paar zwischen dem „linken" und dem „rechten" Weg; B0 tut dasselbe für das 2. Paar.



In der folgenden Tabelle wird links dargestellt, wie die Bits B2, B1, B0 bei jedem Schreib- oder Lesezugriff auf einen Eintrag, z.B. Eintrag k, in Abhängigkeit vom adressierten Weg modifiziert werden. Der Wert 'u' zeigt dabei an, daß das entsprechende Bit 'unverändert' bleibt. Rechts in der Tabelle ist gezeigt, wie der Controller aus dem aktuellen Zustand der Bits B2, B1, B0 nach einem fehlgeschlagenen Zugriffsversuch (*Read/Write Miss*) den Weg bestimmt, in dessen Eintrag k die neuen Daten eingelagert werden. Ggfs. müssen vorher die alten Daten aus diesem Eintrag k verdrängt werden, um dem neuen Eintrag aus dem Hauptspeicher Platz zu machen. Der Wert 'd' steht darin für 'irrelevant' (*don't care*). Nach der Einlagerung werden die Bits B2, B1, B0, wie in der linken Tabelle angegeben, ebenfalls modifiziert.

Modifikation				**Einlagerung/Verdrängung**			
Weg	B2	B1	B0	B2	B1	B0	Weg
3	1	1	u	0	0	d	3
2	1	0	u	0	1	d	2
1	0	u	1	1	d	0	1
0	0	u	0	1	d	1	0

Die realisierte Strategie ist **LRU** (Least Recently Used). Die Zustände der Bits B2, B1, B0 nach dem Zugriff und vor der Verdrängung eines Eintrags sind jeweils invertiert zueinander. Mit großer Wahrscheinlichkeit wird daher immer der Eintrag verdrängt, auf den am längsten nicht mehr zugegriffen wurde. (Hinweis: Genauer handelt es sich um ein **Pseudo**-LRU-Verfahren. Die Abweichung zum „echten" LRU-Verfahren kommt hauptsächlich daher, daß durch B2 eine Paarbildung vorgenommen wird und ein Verdrängungskandidat nur im jeweils anderen Paar gesucht wird.)

a) In einem Programm werde auf eine Folge von Variablen unter Hauptspeicheradressen zugegriffen, die alle vom Cache-Controller in denselben Cache-Einträgen k abgelegt werden müssen. Vervollständigen Sie die folgende Tabelle der aktuellen Inhalte der Cache-Einträge k und der momentanen Zustände der Bits B2, B1, B0.

Zugriff	Variable	hit/miss	Weg 3	Weg 2	Weg 1	Weg 0	B2	B1	B0
0	-		(frei)	(frei)	(frei)	(frei)	0	0	0
1	A	miss	**A**	(frei)	(frei)	(frei)	1	1	0(u)
2	B	miss	A	(frei)	**B**	(frei)	0	1(u)	1
3	A	hit	A	(frei)	B	(frei)			
4	C	miss							
5	D								
6	A								
7	E								
8	C								
9	F								
10	B								
11	C								

b) Für einen 4-fach Satz-assoziativen Cache nach Teilaufgabe a) seien die Adressen nach folgender Skizze in die drei Bitfelder Tag, Index, Byteadresse eingeteilt.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17	16 15 14 13 12 11 10 9 8 7 6 5	4 3 2 1 0
T A G	**I N D E X**	**B y t e**

Tag: Bits 31 - 17 Index: Bits 16 - 7 Byte-Adr.: Bits 4-0

Berechnen Sie daraus die folgenden Größen:

Anzahl der Bytes pro Eintrag (*line length*):	
Anzahl der Einträge pro Weg:	Einträge pro Weg
Kapazität der einzelnen Cache-Wege:	kbyte
Gesamtkapazität des Caches:	kbyte

c) Welche der Speicherzellen mit den folgenden Adressen werden im selben Eintrag, wenn u.U. auch in verschiedenen Wegen, des Caches abgelegt: **$CBC3 9AB1, $4635 9AA5, $D965 D236** ? Welche Nummer trägt dieser Eintrag? (Kurze Begründung erforderlich.)

Tragen Sie Tag, Index und Byte-Adresse in hexadezimaler Darstellung ein.

Speicheradresse	Tag	Index	Byte-Adresse
$CBC3 9AB1 $4635 9AA5 $D965 D236			

Nummer des Eintrags:

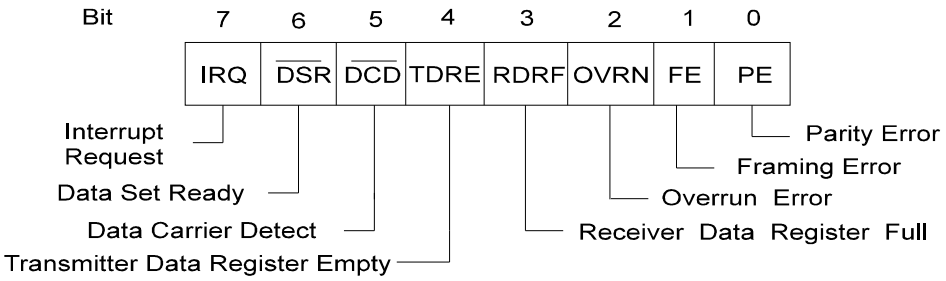
„Nebenrechnung“: bitweise Darstellung der vorgegebenen Zahlen

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

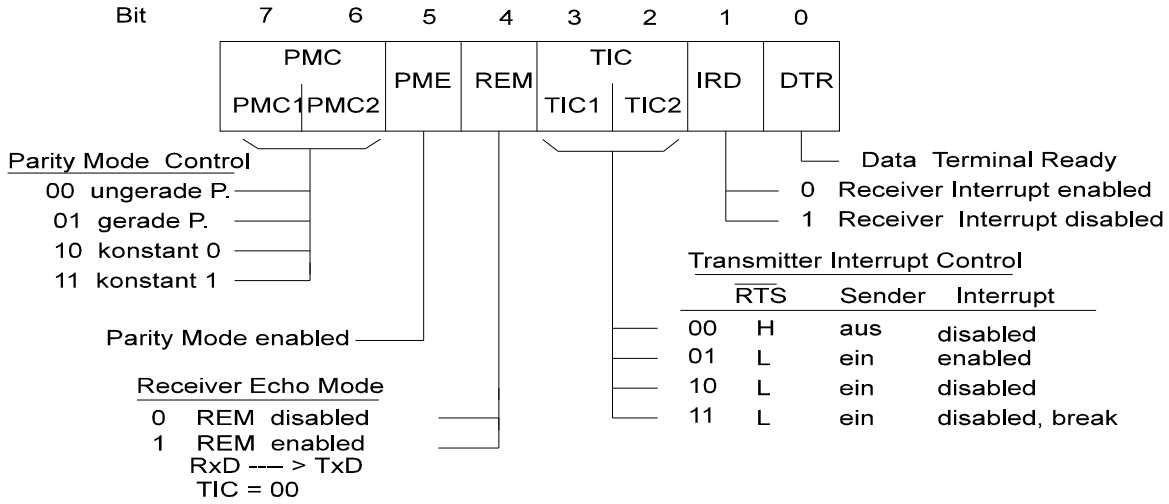
Aufgabe 6: (20 Punkte)

In dieser Aufgabe geht es um die „Programmierung“ eines asynchronen seriellen Schnittstellenbausteins. Dazu finden Sie zunächst seinen Registersatz.

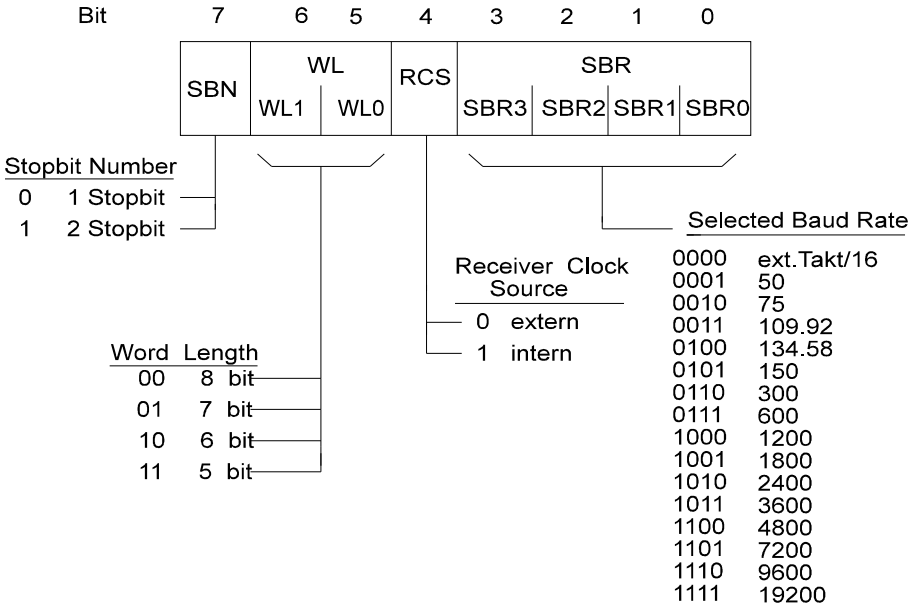
Das Statusregister SR



Das Befehlsregister IR



Das Steuerregister CR

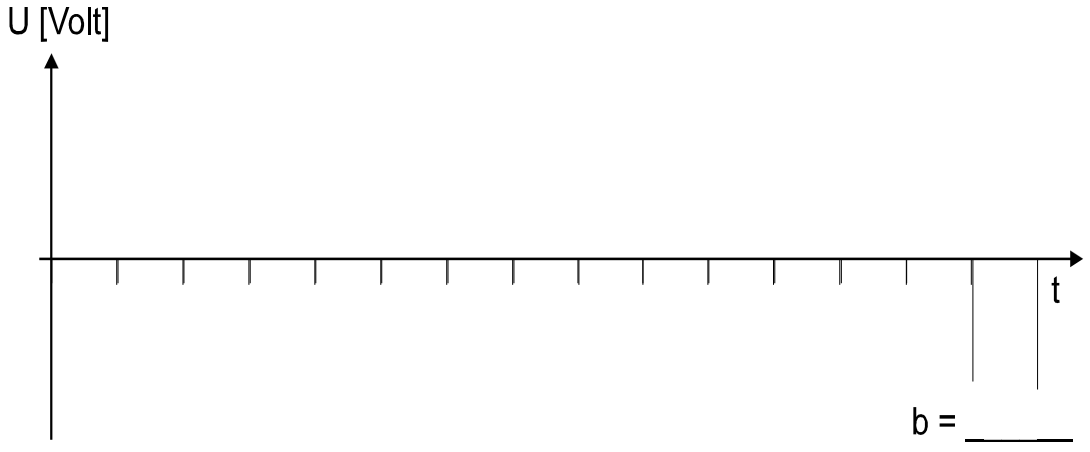


a) Mit welchem Wert in binärer und hexadezimaler Form müssen CR und IR initialisiert werden, damit die Schnittstelle in der folgenden Betriebsart eingesetzt werden kann:

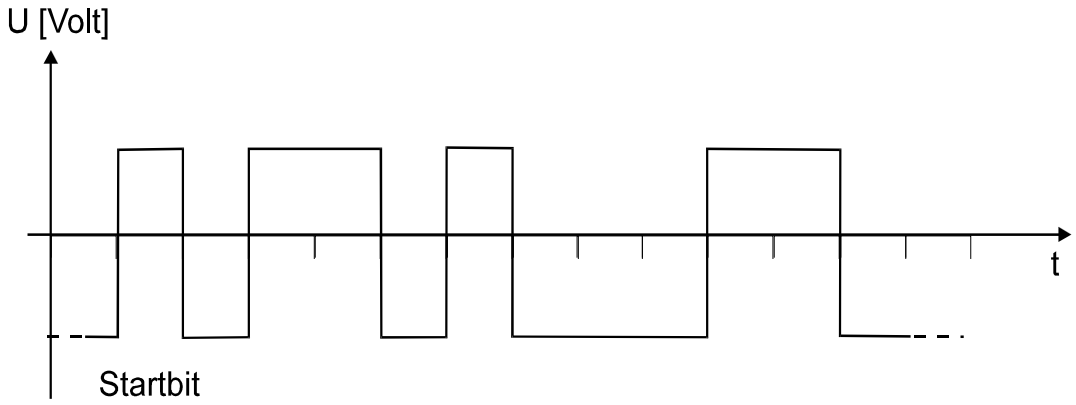
- 8 Datenbits, 1 Stopbit
- 4800 baud, interner Empfängertakt
- kein Paritätsbit
- Receiver Echo Mode disabled
- Sender aktiviert, Sender-Interrupt enabled, Empfänger-Interrupt disabled
- DTR: Prozessor will Daten austauschen

CR = _____ (binär) = $_____
IR = _____ (binär) = $_____

b) Tragen Sie in das folgende Dia gramm für die unter a) bestimmte Übertragungsart den Signalverlauf auf der V.24-Übertragungsleitung TxD für das ASCII-Zeichen ‘A’ ($41) ein ? Kennzeichnen Sie alle Bits durch ihren „Namen“ und logischen Wert. Zeichen Sie auch die Spannungsbereiche für den H- und L-Pegel, die Bitdauer b sowie das „Pausensignal“ bis zum nächsten übertragenen Zeichen ein.



c) Nun seien ein Rechner und ein Peripheriegerät über eine V.24 -Verbindung als Nullmodem miteinander gekoppelt. In der Betriebsart, für die die Schnittstelle des Rechners unter a) initialisiert wurde, wird auf der Empfangsleitung RxD des Ger ä-tes das folgende Zeitdiagramm beobachtet:



Durch einen „Programmierfehler“ sei die serielle Schnittstelle des Peripheriege rä-tes auf eine Baudrate von 9600 eingestellt worden, d.h. sie liest jedes Zeichen mit doppelter Bitrate. Alle anderen Übertragungsparameter (Parität ja/nein, Bitanzahl, Stopbits) stimmen mit denen aus Teil aufgabe a) überein. Setzen Sie im folgenden voraus, daß das Peripheriegerät keine Zeichen aussendet und beim Empfang kein Überlauf (Overrun) auftritt.
Welche Zeichen werden bei obenstehender Signalfolge im Peripheriegerät em p-fangen? Welchen Inhalt hat das Statusregisters SR des Empfängers jeweils <u>vor dem Lesen</u> des Empfangsdatenregisters? Welche Fehler werden festgestellt (Begründung) ?

1. Zeichen: Z1 = _____ (binär) = $_____

   Statusregister: SR = _____ (binär) = $_____

   Fehler: _____

   _____

2. Zeichen: Z2 = _____ (binär) = $_____

   Statusregister: SR = _____ (binär) = $_____

   Fehler: _____

   _____