

# Prüfungsklausur 1609 – WS 2012/2013

Prof. Dr. W. Schiffmann

16.03.2013

## Inhaltsverzeichnis

1	KV-Diagramm	4
2	Schaltfunktionen und Schaltnetze	7
3	Binärzahlen und Arithmetik	8
4	Decoder	9
5	Zustandsminimierung	10
6	Schaltwerksanalyse	12
7	ASM-Diagramm	14
8	Befehlsebenen-Parallelität	16
9	Gleitkommadarstellung	17
10	Datenkonflikte	18
11	Sprungvorhersage	20
12	Cache-Organisation	22
13	Seitenspeicherverwaltung	23

## Bewertungsschema

Aufgabe	a	b	c	d	e	f	g	h	total
1	3	2	2	2	1				10
2									6
3									8
4	2	3							5
5	2	4	1						7
6									5
7	3	2	1	2	1				9
8	1	1	1	1	1	1	1	1	8
9	1	2	1	1	1				6
10	1	1	2	3	2	2			11
11	2	3	4						9
12	2	2	3	1					8
13	1	1	1	3	1	1			8

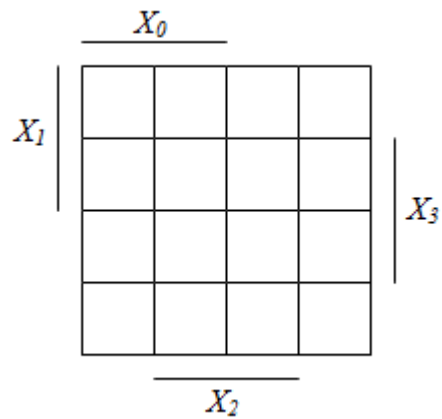
# 1 KV-Diagramm

- a) Gegeben ist eine Schaltfunktion  $f$ , die für die ersten 16 Zahlen (von 0 bis 15) angibt, ob es sich jeweils um eine Primzahl oder eine zusammengesetzte Zahl handelt. Im Falle einer Primzahl, soll der Wert 0 zurückgegeben werden, ansonsten der Wert 1. Hinweis: Die Zahlen 0 und 1 werden nicht als Primzahl interpretiert.

Vervollständigen Sie die Wertetabelle!

$X_3$	$X_2$	$X_1$	$X_0$	$f(X_3, \dots, X_0)$
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

b) Vervollständigen Sie das nachfolgende zu Teil a) zugehörige KV-Diagramm!



c) Nennen Sie alle Primimplikanten der Funktion  $f$  aus Teil a).

d) Kreuzen Sie in der folgenden Primtermtabelle an, welche der Primimplikanten auch Kernimplikanten sind.

		Minterme/Trägerelemente					
		M1	M2	M3	M4	M5	M6
<input type="checkbox"/>	P1		X		X		X
<input type="checkbox"/>	P2		X		X	X	
<input type="checkbox"/>	P3	X		X	X		
<input type="checkbox"/>	P4	X			X		X
<input type="checkbox"/>	P5	X	X				X

e) Kreuzen Sie in der folgenden Primtermtabelle an, welche der sogenannten Primimplikanten gar kein Primimplikant ist.

		Minterme/Trägerelemente					
		M1	M2	M3	M4	M5	M6
<input type="checkbox"/>	P1	X		X			X
<input type="checkbox"/>	P2	X		X	X		
<input type="checkbox"/>	P3		X	X		X	
<input type="checkbox"/>	P4	X		X	X		X
<input type="checkbox"/>	P5			X	X	X	X

## 2 Schaltfunktionen und Schaltnetze

Welche der folgenden Aussagen treffen zu?

trifft zu:    trifft nicht zu:

Es kann einen boole'schen Ausdruck  $e$  geben, der eine Schaltfunktion  $f$  berechnet, so dass  $L(e) < L(f)$  gilt.

Es kann ein Schaltnetz  $S$  geben, das eine Schaltfunktion  $f$  berechnet, so dass  $C(S) < L(f)$  gilt.

Für jede Schaltfunktion  $f$  existiert eine disjunktive Normalform aus lauter Mintermen, die  $f$  berechnet und die bis auf die Reihenfolge der Literale in den Mintermen und die Reihenfolge der Minterme bei der Disjunktion eindeutig ist.

Die kürzeste konjunktive Normalform einer Schaltfunktion besteht stets nur aus Maxtermen.

Werden die ODER-Gatter zur Berechnung eines Ausdrucks der Form  $X_{i_1} \vee \dots \vee X_{i_k}$  in der Form eines balancierten Binärbaums angeordnet, dann ist die Tiefe dieses Schaltnetzes geringer als bei anderen Anordnungen der ODER-Gatter.

Die durch eine  $n$ -stellige Binärdarstellung dargestellte Zahl kann höchstens  $2^n$  betragen.

### 3 Binärzahlen und Arithmetik

Rechnen Sie jeweils aus:

$\text{twoc}(-75) = \text{mit 7 Stellen zzgl. Vorzeichenbit}$

$\text{bin}_8(211) =$

$\langle 1010101 \rangle_2 =$

$[10011111]_2 =$

$\text{twoc}(-19) = \text{mit 6 Stellen einschl. Vorzeichenbit}$

$\text{bin}_8(154) =$

$\langle 0101110 \rangle_2 =$

$[01011011]_2 =$



## 4 Decoder

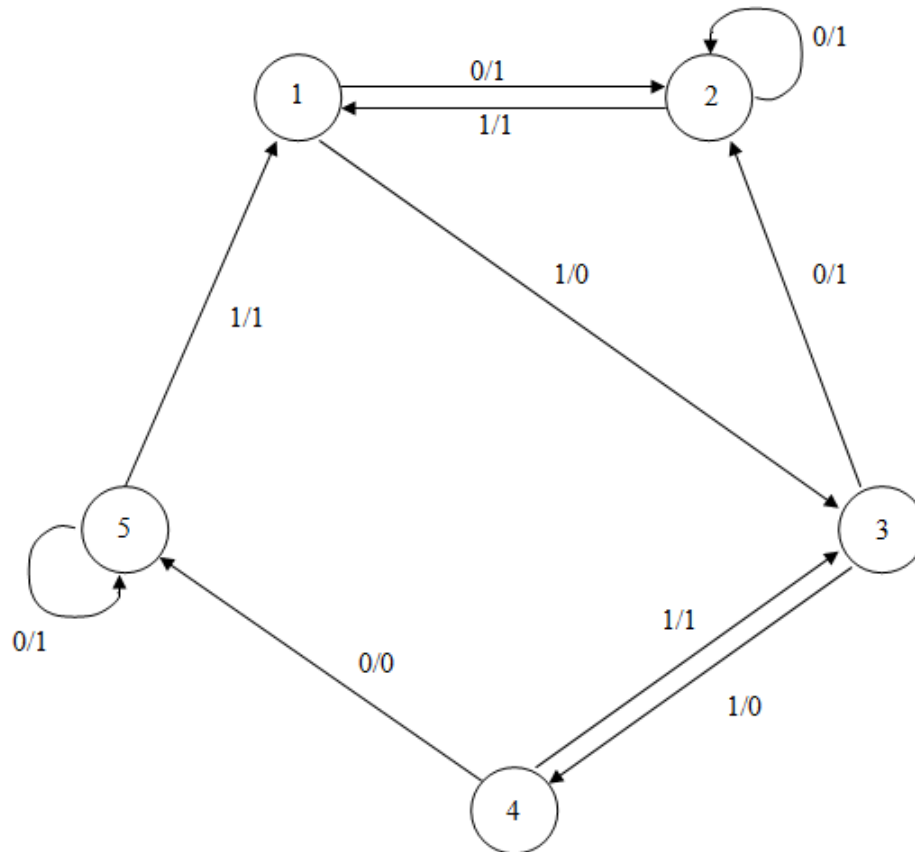
Konstruieren Sie aus 2-Bit Decodern und 8-Wege 1-Bit Demultiplexern einen 5-Bit Decoder. Dabei sollen keine anderen Schaltglieder verwendet werden, und es können von jeder Sorte (Decoder, Demultiplexer) kein, ein, oder mehrere Exemplare notwendig sein. Maximal dürfen 4 Ausgänge unbenutzt sein. Wenn es Ihrer Meinung nach mehrere Lösungen gibt, können Sie eine beliebige auswählen.

Hinweis: Ein  $2^t$ -Wege 1-Bit Demultiplexer entspricht einem  $t$ -Bit Decoder, wenn der Dateneingang  $b$  mit dem Wert 1 verbunden ist, und ist im Sinne eines Decoders inaktiv (alle Ausgänge haben Wert 0), wenn der Dateneingang  $b$  mit dem Wert 0 verbunden ist.

- a) Wie viele 2-Bit Decoder und wie viele 8-Wege 1-Bit Demultiplexer benötigen Sie?
  
  
  
  
  
  
  
  
  
  
- b) Zeichnen Sie Ihre Lösung, wobei die Steuereingänge mit  $s_4, \dots, s_0$  und die Ausgänge mit  $a_{31}, \dots, a_0$  bezeichnet werden sollen. Die verwendeten Decoder und Demultiplexer sollten als Rechtecke gezeichnet und mit DEC bzw. DEMUX gekennzeichnet werden.

## 5 Zustandsminimierung

a) Gegeben ist der Zustandsgraph eines Mealy-Automaten.



Welche Paare von Zuständen erfüllen die Gleichung (3.25) des Kurstextes?

Hinweis: Gleichung (3.25) sagt sinngemäß, dass bei einem Paar von Zuständen, das die Gleichung erfüllt, bei jeder möglichen Eingabe beide Zustände die gleiche Ausgabe erzeugen.

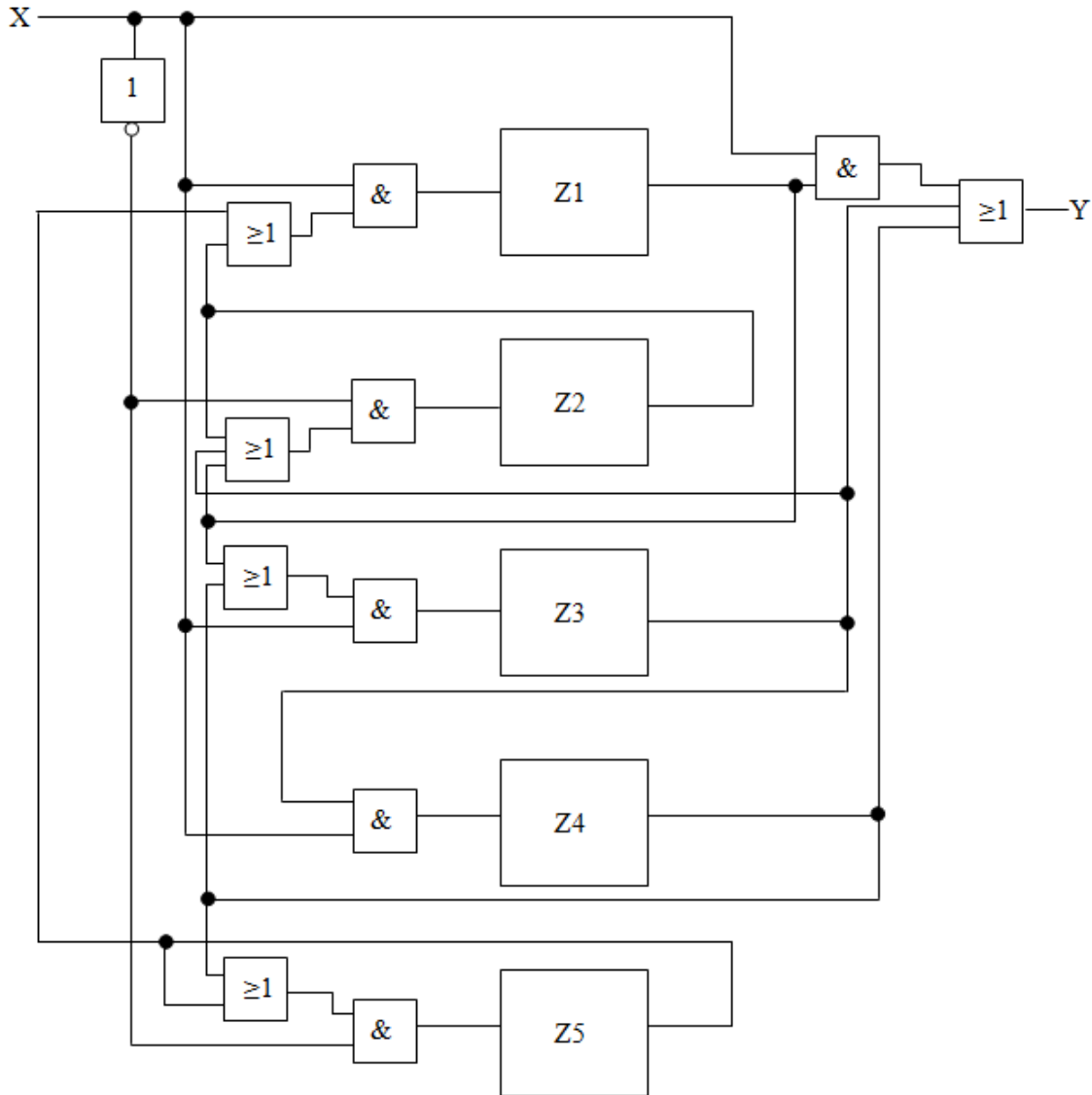
- b) Gegeben ist eine Tabelle (Stufe 0) für eine Zustandsminimierung. Führen Sie die Minimierung durch und geben Sie alle äquivalenten Zustandspaare an. Wie viele Zustände können eingespart werden?

Stufe 0:	Stufe 1:	Stufe 2:
(1,2) (1,2) (2,4)		
(1,4) (3,5)		
(2,4) (1,2) (2,5)		
(2,6) (1,4) (3,5)		
(3,4) (1,5) (2,6)		
(3,5) (2,6)		
(4,5) (1,3) (4,6)		
(4,6) (1,4) (3,6)		
(5,6) (3,5) (4,5)		

- c) Gilt in der Liste der Zustandspaare, die die Gleichung (3.25) des Kurstextes erfüllen, Transitivität? Das heißt: wenn  $(a, b)$  und  $(b, c)$  in der Liste dieser Zustandspaare stehen, muss dann  $(a, c)$  ebenfalls in der Liste stehen (dann herrscht Transitivität), oder kann  $(a, c)$  auch fehlen, oder muss es sogar fehlen? Begründen Sie Ihre Antwort.

## 6 Schaltwerksanalyse

Gegeben ist das folgende Schaltwerk, bei dem für die Zustände eine Hot-one Kodierung gewählt wurde. Für die MS-D-Flipflops der Zustände wurde eine vereinfachte Darstellung als Rechteck mit Markierung des Zustands gewählt.

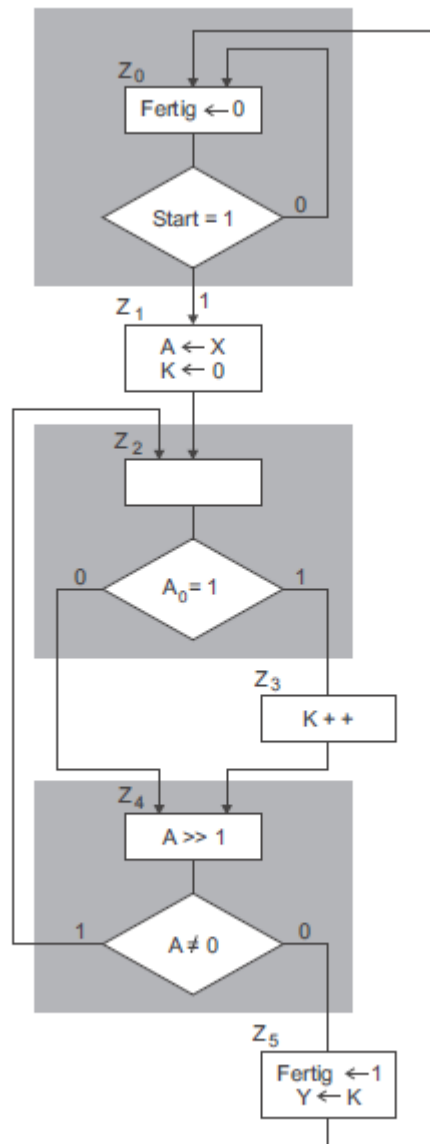


Erstellen Sie den Zustandsgraph des Schaltwerks. Bestimmen Sie dazu zunächst Übergangs- und Ausgangsgleichungen und erstellen Sie falls notwendig die Zustandstabelle.



## 7 ASM-Diagramm

Gegeben ist das folgende ASM-Diagramm, wobei Start das Eingangssignal und Y die Ausgabe darstellen soll. Alle anderen Variablen sollen durch Register im Operationswerk realisiert werden.



- a) Geben Sie die jeweilige Anzahl der Register, Multiplexer, Addierer, Shifter und Vergleicher im Operationswerk an.
- b) Geben Sie die jeweilige Anzahl der Statussignale und Steuersignale an. Bei Multiplexern soll ein Steuersignal genügen, unabhängig von der Anzahl der Wege.
- c) Handelt es sich bei dem Steuerwerk um einen Moore- oder einen Mealy-Automaten? Begründen Sie Ihre Antwort.
- d) Obiges ASM-Diagramm enthält 3 Entscheidungsboxen in verschiedenen Zuständen. Nehmen Sie an, dass wir einen (aber nur einen und nicht mehrere) universellen Vergleicher im Operationswerk besitzen, der alle 3 Vergleiche ausführen kann. Welche zusätzlichen Schaltelemente und welche zusätzlichen Steuersignale wären notwendig, um mit einem universellen Vergleicher im Operationswerk auszukommen?
- e) Gegeben sei ein ASM-Diagramm, bei dem alle Variablen initial, d.h. beim Eintritt in den ersten Zustand, den Wert 0 haben. Im ersten Zustand werden die beiden Zuweisungen  $A \leftarrow 5$  und  $B \leftarrow A + 2$  ausgeführt. Welchen Wert hat  $B$  im zweiten Zustand?

## 8 Befehlsebenen-Parallelität

Ordnen Sie die folgenden Konzepte zur Befehlsebenen-Parallelität durch Ankreuzen **einer** der drei vorgegebenen Kategorien zu!

Konzept	basiert auf		
	Hardware	Software	Hard- und Software
Ausführung außerhalb der Programmreihenfolge			
Spekulation			
Dynamisches Scheduling			
Registerumbenennung			
Rückordnungspuffer			
Superskalärer Prozessor			
VLIW-Prozessor			
EPIC-Prozessor			





## 10 Datenkonflikte

- a) Welche Datenkonflikte müssen bei einem skalaren RISC-Prozessor beachtet werden?
- b) Welche Datenkonflikte müssen bei einem superskalaren RISC-Prozessor beachtet werden?
- c) Nennen Sie mindestens zwei Methoden zur Behebung von echten Datenabhängigkeiten beim Befehlspipelining!
- d) Wie viele Umbenennungsregister sind nötig, um alle unechten Datenkonflikte (Gegen- und Ausgabeabhängigkeiten) im folgenden Assembler-Programm aufzulösen?

```
1: LW R2, 4(R3)           ; R2 ← Mem[R3+4]
2: MUL R4, R1, R2         ; R4 ← R1 * R2
3: DIV R1, R5, R6         ; R1 ← R5 / R6
4: MUL R5, R7, R8         ; R5 ← R7 * R8
5: MUL R5, R5, R7         ; R5 ← R5 * R7
6: ADD R8, R9, R10        ; R8 ← R9 + R10
7: SUB R10, R11, R12      ; R10 ← R11 - R12
```

- e) Wie sieht das Programm nach der Registerumbenennung aus?

- f) Wie viele Befehle können maximal nach der Registerumbenennung parallel ausgeführt werden?

## 11 Sprungvorhersage

Gegeben sei ein Programm mit zwei Sprungbefehlen, die in sechs aufeinander folgenden Sprüngen das in der Tabelle angegebene Sprungverhalten aufweisen. Die Reihenfolge der Sprünge entspricht den Sprungnummern.

Sprung	1	2	3	4	5	6
1	NT	NT	T	NT	NT	T
2	T	T	NT	T	T	NT

- a) Bestimmen Sie die Zahl der falschen Vorhersagen, wenn es für jeden Sprungbefehl ein 1-Bit-Prädiktor gibt, der mit NT initialisiert ist! Stellen Sie hierfür den Verlauf in der nachfolgenden Tabelle dar.

	Präd. 1	Sprung	Fehler		Präd. 2	Sprung	Fehler
1	NT	NT		1	NT	T	
2		NT		2		T	
3		T		3		NT	
4		NT		4		T	
5		NT		5		T	
6		T		6		NT	
Fehler:				Fehler:			

Gesamt: .....

- b) Bestimmen Sie die Zahl der falschen Vorhersagen, wenn es für jeden Sprungbefehl ein 2-Bit-Prädiktor mit Hysteresezähler gibt, der jeweils mit WNT initialisiert ist! Stellen Sie hierfür den Verlauf in der nachfolgenden Tabelle dar.

	Präd. 1	Sprung	Fehler		Präd. 2	Sprung	Fehler
1	WNT	NT		1	WNT	T	
2		NT		2		T	
3		T		3		NT	
4		NT		4		T	
5		NT		5		T	
6		T		6		NT	
Fehler:				Fehler:			

Gesamt: .....

- c) Bestimmen Sie die Zahl der falschen Vorhersagen, wenn ein (2,2)-Korrelationsprädiktor mit Sättigungszähler und je vier PHTs pro Sprung, die alle mit WNT initialisiert sind, verwendet wird. Das BHR ist anfangs mit 00 initialisiert. 0 entspricht hierbei *not taken* (NT) während 1 *taken* (T) entspricht. Der letzte Sprung soll von rechts eingeschoben werden.

	BHR(t)	Präd. (t)	Spr.verl.	Präd. (t+1)	Fehler
Spr. 1	00	WNT	NT		
Spr. 2			T		
Spr. 1			NT		
Spr. 2			T		
Spr. 1			T		
Spr. 2			NT		
Spr. 1			NT		
Spr. 2			T		
Spr. 1			NT		
Spr. 2			T		
Spr. 1			T		
Spr. 2			NT		

Fehler:

Fehler gesamt: .....

Anmerkung: Präd=Prädiktor, BHR=Branch History Register, Spr.verl.=Sprungverlauf

## 12 Cache-Organisation

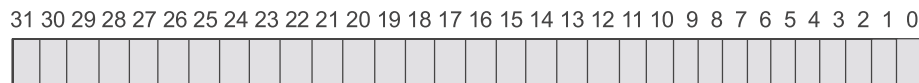
Ein Mikroprozessor besitze einen 32-Bit-Adressbus und einen 16-Bit-Datenbus. Er verfüge über einen *Direct Mapped Cache*, dessen Datenspeicher eine Kapazität von 64 KB hat und Einträge (*Cache Lines*) der Länge 16 Byte enthält. Unter der Organisation eines Speichers versteht man die Angabe der Anzahl  $m$  der Speicherzellen und ihrer Länge  $l$  (in Bits oder Bytes), meist in der Form  $m \times l$ .

a)

Geben Sie die Anzahl der Cache-Einträge sowie die Organisation, d.h. die Anzahl der Speicherzellen und die Länge (in Bits oder Bytes) jeder Speicherzelle, des Datenspeichers an. (Rechnung erforderlich!)

b)

Tragen Sie in das folgende Bild die unterscheidbaren Bitfelder einer Adresse für die Auswahl eines Bytes, eines Cache-Eintrags und die im Cache gespeicherte Teiladresse ein und benennen Sie diese Bitfelder:



Bitfelder:.....

c)

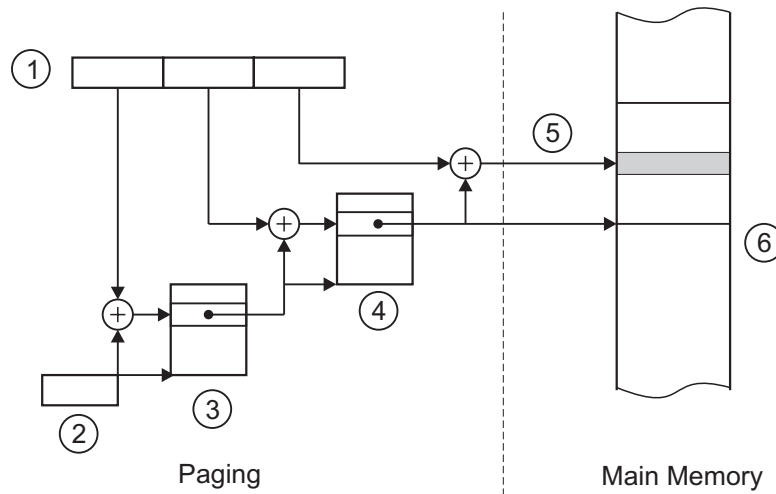
Geben Sie für die gefundene Adressaufteilung die Organisation und die Kapazität des benötigten RAM-Speichers an, in dem die Tags der im Cache befindlichen Einträge verwaltet werden. (Rechnung erforderlich!)

d)

Welches der o.g. Bitfelder wird als Adresse für diesen Tag-RAM verwendet?

### 13 Seitenspeicherverwaltung

Gegeben sei ein Computersystem mit einem 4-GB-Adressraum. Der Speicher sei byteweise adressierbar. Die virtuelle Speicherverwaltung wird in Form des *Pagings* unterstützt (keine *Segmentierung*). Die Seitengröße betrage 4 KB.



- a) Wie viele Bits haben die Speicheradressen in dem betrachteten System?
- b) Wie viele Bits umfassen die Felder der Adresse jeweils?
- c) Benennen Sie die durch Zahlen referenzierten Komponenten/Teile der Seitenverwaltung in der oben stehenden Abbildung.
  - 1. ....
  - 2. ....
  - 3. ....
  - 4. ....
  - 5. ....
  - 6. ....
- d) Wiviele Einträge haben die verschiedenen Tabellen beim Paging?
- e) Erklären Sie den Ablauf beim Paging im Detail.
- f) Wie kann die Seitenverwaltung beschleunigt werden?

Anmerkung: 1 KB = 1024 Byte, 1 MB = 1024 KB, 1 GB = 1024 MB